

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012796

(43)Date of publication of application : 14.01.2000

(51)Int.CI. H01L 27/108
H01L 21/8242

(21)Application number : 10-173607

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.06.1998

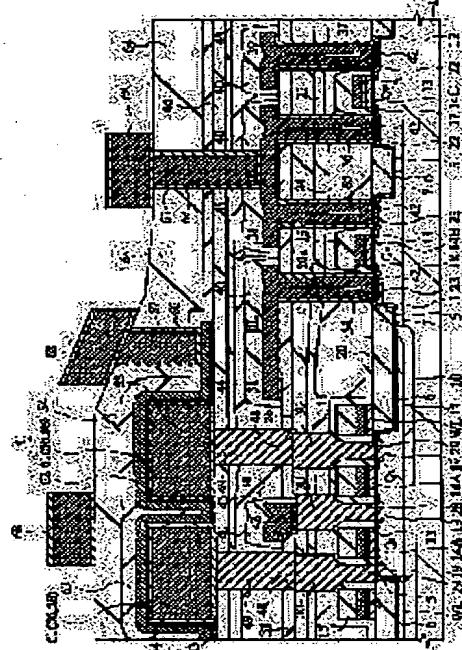
(72)Inventor : KUNITOMO MASATO
IIJIMA SHINPEI

(54) SEMICONDUCTOR DEVICE, AND MANUFACTURING METHOD AND APPARATUS THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a capacitor insulating film which is high in thermal resistance, and has little leakage current and high dielectric strength.

SOLUTION: A semiconductor device constituted of a DRAM equipped with memory cells formed of data storage capacitor elements C each equipped with a lower electrode 54 of ruthenium film, a capacitor insulating film 61, and an upper electrode 62 of titanium nitride film and connected in series to memory cell selection MISTFETQs formed on the primary surface of a semiconductor substrate 1, wherein the capacitor insulating film 61 is of a two-layered film composed of crystallized tantalum oxide films 56 and 58 which are each thinner than 10 nm, and the insulating film 61 is set at 10 to 40 nm in thickness.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号 ✓

特開2000-12796

(P2000-12796A)

(43)公開日 平成12年1月14日 (2000.1.14)

(51)Int.Cl.⁷

H 01 L 27/108
21/8242

識別記号

F I

H 01 L 27/10

テマコト[®] (参考)

6 2 1 B 5 F 0 8 3

(21)出願番号 特願平10-173607

(22)出願日 平成10年6月19日 (1998.6.19)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 國友 正人

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 飯島 晋平

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 100080001

弁理士 筒井 大和

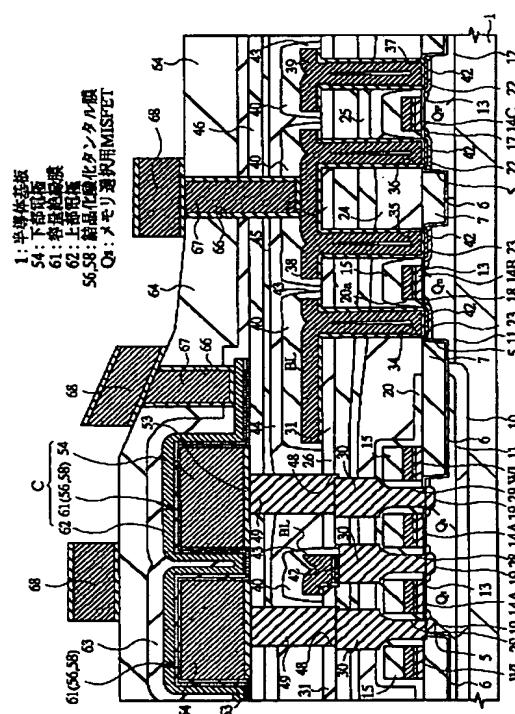
最終頁に続く

(54)【発明の名称】 半導体装置ならびにその製造方法および製造装置

(57)【要約】

【課題】 耐熱性を有するとともに、リーク電流が少なく絶縁耐圧の高い容量絶縁膜を実現する。

【解決手段】 半導体基板1の主面上に形成されたメモリセル選択用MISFETQsに直列に接続され、ルテニウム膜からなる下部電極54、容量絶縁膜61および窒化チタン膜からなる上部電極62を備えた情報蓄積用容量素子Cで構成されるメモリセルを有するDRAMを含む半導体装置であって、容量絶縁膜61を、10nm以下の膜厚の結晶化酸化タンタル膜56、58の2層が積層された積層膜とし、容量絶縁膜61の膜厚を10～40nmとする。



【特許請求の範囲】

【請求項1】 半導体からなる基板または半導体層をその表面に有する基板と、前記基板の主面に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソースまたはドレンとして機能する半導体領域に電気的に接続された第1電極、前記第1電極に対向して形成された第2電極および前記第1、第2電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置であって、

前記容量絶縁膜は、多結晶構造を有する金属酸化膜が2層以上形成された積層膜を含むものであることを特徴とする半導体装置。

【請求項2】 半導体からなる基板または半導体層をその表面に有する基板と、前記基板の主面に形成されたゲート絶縁膜、前記ゲート絶縁膜を介して前記基板の主面に形成されたゲート電極を含むMISFETとを有する半導体装置であって、

前記ゲート絶縁膜は、多結晶構造を有する金属酸化膜が2層以上形成された積層膜を含むものであることを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置であって、

前記金属酸化膜を構成する金属元素は、タンタルであることを特徴とする半導体装置。

【請求項4】 請求項1～3の何れか一項に記載の半導体装置であって、

前記積層膜を構成する複数の金属酸化膜は、その膜厚が各々10nm以下であることを特徴とする半導体装置。

【請求項5】 請求項1、3または4記載の半導体装置であって、

前記第1電極が多結晶シリコン膜であり、前記第1電極と前記積層膜との間にシリコン窒化膜またはシリコン酸窒化膜が形成されていることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置であって、前記多結晶シリコン膜の表面には、粒状のシリコン結晶による凹凸が形成されていることを特徴とする半導体装置。

【請求項7】 請求項1、3または4記載の半導体装置であって、

前記第1電極が金属または金属の窒化物もしくは酸化物であり、前記第1電極と前記積層膜との間に前記第1電極を構成する金属の酸化膜が形成されていることを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置であって、前記第1電極を構成する金属は、ルテニウム、タングステンまたはチタンであることを特徴とする半導体装置。

【請求項9】 請求項2～4の何れか一項に記載の半導体装置であって、

前記基板と前記積層膜との間にシリコン窒化膜またはシリコン酸窒化膜が形成されていることを特徴とする半導

体装置。

【請求項10】 請求項3または4記載の半導体装置であって、

複数層の酸化タンタル膜で構成される前記積層膜の密度は、X線反射率測定における測定値において、8.5g/cm³以上であることを特徴とする半導体装置。

【請求項11】 請求項3または4記載の半導体装置であって、

複数層の酸化タンタル膜で構成される前記積層膜の応力は、1100MPa以下であることを特徴とする半導体装置。

【請求項12】 請求項3または4記載の半導体装置であって、

複数層の酸化タンタル膜で構成される前記積層膜の表面粗さは、X線反射率測定における測定値において、前記積層膜の膜厚の10%以下であることを特徴とする半導体装置。

【請求項13】 請求項3または4記載の半導体装置であって、

20 複数層の酸化タンタル膜で構成される前記積層膜は、X線反射率測定において、その膜厚方向に均質に形成されていると測定されるものであることを特徴とする半導体装置。

【請求項14】 半導体からなる基板または半導体層をその表面に有する基板と、前記基板の主面に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソースまたはドレンとして機能する半導体領域に電気的に接続された第1電極、前記第1電極に対向して形成された第2電極および前記第1、第2電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置、または、半導体からなる基板または半導体層をその表面に有する基板と、前記基板の主面に形成されたゲート絶縁膜、前記ゲート絶縁膜を介して前記基板の主面に形成されたゲート電極を含むMISFETとを有する半導体装置の製造方法であって、

前記容量絶縁膜またはゲート絶縁膜を形成する工程が、(a) CVD法により第1酸化タンタル膜を形成する工程、

40 (b) 第1の熱処理により前記第1酸化タンタル膜を結晶化させて第1多結晶酸化タンタル膜を形成する工程、(c) 前記第1多結晶酸化タンタル膜上に、CVD法により第2酸化タンタル膜を形成する工程、

(d) 前記第2酸化タンタル膜に第2の熱処理を施す工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法であって、前記第1および第2酸化タンタル膜の形成は、有機タンタルガスを原料としたCVD法により、550℃以下の

温度で行うことを特徴とする半導体装置の製造方法。

【請求項16】 請求項15記載の半導体装置の製造方法であって、

前記第1および第2酸化タンタル膜の膜厚は、10nm以下とすることを特徴とする半導体装置の製造方法。

【請求項17】 請求項14～16の何れか一項に記載の半導体装置の製造方法であって、

前記第1または第2の熱処理は、酸化雰囲気において650℃以上の温度で行われることを特徴とする半導体装置の製造方法。

【請求項18】 請求項17記載の半導体装置の製造方法であって、

前記第1または第2の熱処理は、酸素雰囲気における、処理温度700℃～850℃、処理時間1分～10分の第1の条件、または、一酸化二窒素雰囲気における、処理温度650℃～850℃、処理時間1分～10分の第2の条件、の何れかの条件で行われることを特徴とする半導体装置の製造方法。

【請求項19】 請求項14～16の何れか一項に記載の半導体装置の製造方法であって、

前記第1または第2の熱処理は、酸化雰囲気において600℃以下の温度で第1処理が行われた後、不活性ガス雰囲気において処理温度650℃～850℃、処理時間1分～10分の条件で第2処理が行われることを特徴とする半導体装置の製造方法。

【請求項20】 請求項14～16の何れか一項に記載の半導体装置の製造方法であって、

前記第1または第2の熱処理は、不活性ガス雰囲気において処理温度650℃～850℃、処理時間1分～10分の条件で第2処理が行われた後、酸化雰囲気において600℃以下の温度で第1処理が行われることを特徴とする半導体装置の製造方法。

【請求項21】 請求項19または20記載の半導体装置の製造方法であって、

前記第1処理は、オゾン雰囲気における、処理温度300℃～500℃の第3条件、または、酸素雰囲気における処理温度550℃～600℃の第4条件、の何れかの条件で行われることを特徴とする半導体装置の製造方法。

【請求項22】 請求項14～21の何れか一項に記載の半導体装置の製造方法であって、

前記第1電極または前記基板の主面がシリコンを主成分とする材料からなり、前記(a)工程の前記第1酸化タンタル膜の形成前に、前記第1電極または前記基板の表面を窒化することを特徴とする半導体装置の製造方法。

【請求項23】 請求項22記載の半導体装置の製造方法であって、

前記窒化は、アンモニア雰囲気における処理温度700℃～850℃の熱処理により行われることを特徴とする半導体装置の製造方法。

【請求項24】 請求項22または23記載の半導体装置の製造方法であって、前記窒化の前に、前記第1電極の表面に粒状のシリコン結晶を成長させることを特徴とする半導体装置の製造方法。

【請求項25】 CVD法により酸化タンタル膜を基板に堆積する第1反応室と、酸化雰囲気または不活性雰囲気における前記基板の熱処理が可能な第2反応室と、前記第1および第2反応室に接続され、減圧状態を保持しつつ前記基板を前記第1および第2反応室に搬送する真空搬送室と、前記真空搬送室に接続され、前記基板のロード・アンロードを行うロードロック室とを有する半導体装置の製造装置であって、

前記第1反応室における第1酸化タンタル膜の前記基板への堆積の後、減圧状態を維持しつつ前記基板を前記第2反応室に搬入し、前記第2反応室における熱処理により前記第1酸化タンタル膜を結晶化し、さらに減圧状態を維持しつつ第1反応室における第2酸化タンタル膜の堆積および第2反応室における第2酸化タンタル膜の結晶化を行うことを特徴とする半導体装置の製造装置。

【請求項26】 請求項25記載の半導体装置の製造装置であって、

さらに、前記真空搬送室に接続され、アンモニア雰囲気における熱処理が可能な第3反応室を有し、前記第3反応室における前記基板表面のシリコン領域の窒化の後、減圧状態を維持しつつ前記第1反応室に前記基板を搬送することを特徴とする半導体装置の製造装置。

【請求項27】 請求項25または26記載の半導体装置の製造装置であって、

さらに、前記真空搬送室に接続され、多結晶シリコン膜、金属膜または金属化合物膜がスパッタ法またはCVD法により堆積できる第4反応室を有し、前記第2反応室における酸化タンタル膜の結晶化の後、減圧状態を維持しつつ前記第4反応室に前記基板を搬送し、結晶化酸化タンタル膜上に多結晶シリコン膜、金属膜または金属化合物膜を形成することを特徴とする半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAMのメモリセルは、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、1個のメモリセル選択用MISFET (Metal Insulator Semiconductor Field Effect Transistor) とこれに直列に接続された1個の情報蓄積用容量素子 (キャパシタ) とで構成されてい

る。メモリセル選択用MISFETは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一对の半導体領域で構成されている。ビット線は、メモリセル選択用MISFETの上部に配置され、その延在方向に隣接する2個のメモリセル選択用MISFETによって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用MISFETの上部に配置され、上記ソース、ドレインの他方と電気的に接続されている。

【0003】特開平7-7084号公報は、ビット線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン(Capacitor Over Bitline)構造のDRAMを開示している。この公報に記載されたDRAMは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量(C_s)の減少を補うために、ビット線の上部に配置した情報蓄積用容量素子の下部電極(蓄積電極)を円筒状に加工することによってその表面積を増やし、その上部に容量絶縁膜と上部電極(プレート電極)とを形成している。また、容量絶縁膜としては、シリコン酸化膜とシリコン窒化膜との積層絶縁膜が用いられる。

【0004】ところが、DRAMの高集積化および微細化の進展により下部電極の表面積が縮小され、シリコン酸化膜とシリコン窒化膜との積層絶縁膜からなる容量絶縁膜では、十分な蓄積電荷量を確保することが困難となる。一方、十分な蓄積電荷量を確保するための容量絶縁膜の膜厚の縮小は、上部電極および下部電極間のリーク電流の増加を招き、DRAMのリフレッシュ特性(信頼性)が劣化する。そこで、リーク電流を抑制するに十分な膜厚においても必要な蓄積電荷量を確保する手段が必要となり、様々な方法が提案されている。

【0005】その一つは、高誘電体または強誘電体材料を容量絶縁膜に用い、シリコン酸化膜に換算した場合の実効的な容量絶縁膜の膜厚を薄くし、十分な容量値を確保する方法である。その代表的な絶縁膜としては酸化タンタル膜がある。酸化タンタル膜を容量絶縁膜に用いる技術は、たとえば、Extended Abstracts of the 1993 International Conference on Solid State Device and Materials, Makuhari pp853-855、同文献pp862-864、あるいは、第43回応用物理学関係連合公演会予稿集728頁等に記載されている。

【0006】なお、酸化タンタル膜は一般に有機タンタルガスを用いたCVD法により形成されるため、高温度での堆積は困難である。このため、アズデポの状態での酸化タンタル膜はアモルファス状態であり、高誘電率の容量絶縁膜を得るために熱処理を施してこれを結晶化する必要がある。一方、高温での熱処理を避けるために、400°C程度の酸化雰囲気における熱処理あるいは

プラズマ処理により酸化タンタル膜を改質する方法が提案されている。

【0007】

【発明が解決しようとする課題】前記した酸化タンタル膜のうち、熱処理あるいはプラズマ処理により改質された酸化タンタル膜は、結晶化された酸化タンタル膜よりも誘電率が低く、DRAMの高集積化には不利である。また、情報蓄積用容量素子を形成した後の配線とその下層の配線または基板との接続部の導通を促すための熱処理(たとえば400°C~600°C)等により、結晶化されていない酸化タンタル膜の膜質が劣化し、DRAMの信頼性を損なう恐れがある。一方、結晶化された酸化タンタル膜は、結晶化の際の熱処理(たとえば750°C)により十分高い温度がかけられるため、その後の熱処理により酸化タンタル膜が劣化することは少ない。しかも、結晶化された酸化タンタル膜は誘電率が非晶質の場合に比較して2倍程度高く、DRAMの高集積化に有利である。このように容量絶縁膜に用いる酸化タンタル膜は、その熱処理に対する信頼性、高集積化への適用性等から結晶化させることが好ましい。

【0008】しかし、結晶化された酸化タンタル膜は、多結晶薄膜であり、その膜中に結晶粒界が存在する。この結晶粒界は、酸化タンタル膜を挟んで形成される下部電極と上部電極との間のリーク電流のパスになる可能性がある。特に、粒状シリコンをその表面に有する多結晶シリコン膜を下部電極に採用した場合にはリーク電流が増大する傾向にあることが本発明者らの検討により判明している。高集積化とともに高い信頼性を有するDRAMの実現のために、前記のような下部電極構造においてもリーク電流を低減できる技術が要請される。

【0009】また、結晶化された酸化タンタル膜を用いれば、その高い誘電率を利用して、設計の範囲内で容量絶縁膜の膜厚を厚くすることも可能となる。また、リーク電流の低減には膜厚を増大させることも一つの対策となる。しかしながら、酸化タンタル膜の膜厚を厚くすれば、結晶化酸化タンタル膜のストレスが増大し、それに起因して結晶粒界でのリーク電流が大きくなる。

【0010】さらに、膜厚の増大は結晶化酸化タンタル膜の表面モルフォロジの劣化を引き起こすことが発明者らの検討により判明している。この表面モルフォロジの劣化は、微細なスケールにおける上部および下部電極間の距離の短い場所の発生を意味し、この部分でのリークあるいは絶縁破壊の可能性が大きくなる。特に、このような電極間距離の短い場所は結晶粒界でもある可能性が高く、リーク電流のさらなる増加の要因にもなると考えられる。

【0011】一方、MISFETにおけるゲート絶縁膜としては一般にシリコン酸化膜が用いられるが、MISFETの微細化に伴い、ゲート絶縁膜の膜厚も薄くする必要がある。しかし、ゲート絶縁膜としてシリコン酸化

膜を用いる限り、その膜厚を数nm程度まで薄くすると基板とゲート電極との間にトンネル電流が流れ、MISFETとして正常に機能しなくなる。

【0012】本発明の目的は、耐熱性を有するとともに、リーク電流が少なく、絶縁耐圧の高い容量絶縁膜を提供することにある。

【0013】また、本発明の目的は、容量絶縁膜のストレス、表面モルフォロジ、密度等の膜特性を改善することにある。

【0014】また、本発明の目的は、DRAMのリフレッシュ特性等の信頼性および性能を向上することにある。

【0015】また、本発明の目的は、実効的なゲート絶縁膜の膜厚が縮小され、かつ、トンネル電流の発生を抑制したゲート絶縁膜を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】(1) 本発明の半導体装置は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたメモリセル選択用MISFETと、メモリセル選択用MISFETのソースまたはドレインとして機能する半導体領域に電気的に接続された第1電極、第1電極に対向して形成された第2電極および第1、第2電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置であって、容量絶縁膜は、多結晶構造を有する金属酸化膜が2層以上形成された積層膜を含むものである。

【0019】このような半導体装置によれば、容量絶縁膜に多結晶構造を有する金属酸化膜が2層以上形成された積層膜を含むため、容量絶縁膜を構成する多結晶金属膜の粒界すなわちリークパスが分断され、第1および第2電極の間のリーク電流を低減できる。

【0020】(2) また、本発明の半導体装置は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたゲート絶縁膜、ゲート絶縁膜を介して基板の主面に形成されたゲート電極を含むMISFETとを有する半導体装置であって、ゲート絶縁膜は、多結晶構造を有する金属酸化膜が2層以上形成された積層膜を含むものである。

【0021】このような半導体装置によれば、ゲート絶縁膜を高い誘電率の金属酸化膜により構成するため、その膜厚をトンネル電流が流れる程に薄くしなくとも十分な容量を確保できる。これによりゲート絶縁膜を介したゲート電極と基板との間のトンネル電流を抑制できる。また、ゲート絶縁膜が、多結晶構造を有する金属酸化膜

が2層以上形成された積層膜を含むため、ゲート絶縁膜を構成する多結晶金属膜の粒界すなわちリークパスが分断され、ゲート電極と基板との間のリーク電流を低減できる。

【0022】なお、前記(1)および(2)の半導体装置において、金属酸化膜を構成する金属元素は、タンタルとすることができる。すなわち、容量絶縁膜またはゲート絶縁膜を多結晶酸化タンタル膜の積層膜で構成できる。

【0023】また、積層膜を構成する複数の金属酸化膜は、その膜厚が各々10nm以下とすることができる。このようにその膜厚が各々10nm以下とすることにより、積層膜のストレスを低減し、また、密度を向上し、また、モルフォロジを改善できる。これらの膜質の向上は、結果的にリーク電流を低減することにつながる。

【0024】また、前記(1)の半導体装置において、第1電極を多結晶シリコン膜とし、第1電極と積層膜との間にシリコン窒化膜またはシリコン酸窒化膜を形成することができる。第1電極と積層膜との間にシリコン窒化膜またはシリコン酸窒化膜を形成することにより、容量絶縁膜を構成する金属酸化物、酸化タンタル膜の結晶化の際の酸化処理において、第1電極である多結晶シリコン膜の酸化を抑制することができる。なお、多結晶シリコン膜の表面には、粒状のシリコン結晶による凹凸が形成されていてもよい。このような粒状シリコンによる凹凸を有する場合において特にリーク電流が大きくなる傾向にあるため、このような場合に本発明を適用すれば特に顕著な効果を得ることができる。

【0025】また、前記(1)の半導体装置において、第1電極を金属または金属の窒化物もしくは酸化物とし、第1電極と積層膜との間に第1電極を構成する金属の酸化膜を形成することもできる。このような場合、容量絶縁膜を構成する金属酸化物、酸化タンタル膜の結晶化の際の酸化処理において、第1電極である金属または金属の窒化物もしくは酸化物の酸化を抑制することができる。なお、この場合、第1電極を構成する金属は、ルテニウム、タングステンまたはチタンとすることができる。

【0026】前記(2)の半導体装置において、基板と積層膜との間にシリコン窒化膜またはシリコン酸窒化膜を形成できる。この場合、ゲート絶縁膜を構成する金属酸化物、酸化タンタル膜の結晶化の際の酸化処理において、基板の酸化を防止することができる。

【0027】また、前記した(1)および(2)の半導体装置において、金属酸化膜を多結晶酸化タンタル膜とした場合には、複数層の酸化タンタル膜で構成される積層膜の密度は 8.5 g/cm^3 以上となり、また、その応力は1100MPa以下となり、その表面粗さは積層膜の膜厚の10%以下となる。また、酸化タンタル膜の積層膜はその膜厚方向に均質に形成される。これらの膜特

性は、X線反射率測定によりされるものであり、これらの結果は従来方法により得られる酸化タンタル膜の膜特性を上回る良好なものである。このように良好な膜特性が得られるのは後に説明するように多結晶酸化タンタル膜の積層膜を2ステップあるいはそれ以上のステップに分けて形成するためと考えられる。

【0028】(3) 本発明の半導体装置の製造方法は、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたメモリセル選択用MISFETと、メモリセル選択用MISFETのソースまたはドレインとして機能する半導体領域に電気的に接続された第1電極、第1電極に対向して形成された第2電極および第1、第2電極の間に挟まれた容量絶縁膜で構成される情報蓄積用容量素子とを有する半導体装置、または、半導体からなる基板または半導体層をその表面に有する基板と、基板の主面に形成されたゲート絶縁膜、ゲート絶縁膜を介して基板の主面に形成されたゲート電極を含むMISFETとを有する半導体装置の製造方法であって、容量絶縁膜またはゲート絶縁膜を形成する工程が、(a) CVD法により第1酸化タンタル膜を形成する工程、(b) 第1の熱処理により第1酸化タンタル膜を結晶化させて第1多結晶酸化タンタル膜を形成する工程、(c) 第1多結晶酸化タンタル膜上に、CVD法により第2酸化タンタル膜を形成する工程、(d) 第2酸化タンタル膜に第2の熱処理を施す工程、を含むものである。

【0029】このような半導体装置の製造方法によれば、多結晶酸化タンタル膜の積層膜を形成することができる。積層膜は、前記の通り1層ごとに結晶化して形成された各多結晶酸化タンタル膜を積層することにより形成される。なお、(c)および(d)工程をさらに繰り返して、3層以上の積層多結晶酸化タンタル膜を形成してもよい。

【0030】なお、第1および第2酸化タンタル膜は、有機タンタルガスを原料としたCVD法により、550°C以下の温度で形成される。

【0031】また、第1および第2酸化タンタル膜の膜厚は、10nm以下とする。このように10nm以下の膜厚の多結晶酸化タンタル膜を積層することにより、膜厚方向に均一な積層膜が形成され、そのストレスの低減、モルフォロジの改善、密度の向上を図ることができる。

【0032】また、第1または第2の熱処理は、酸化雰囲気において650°C以上の温度で行われる。たとえば、酸素雰囲気における、処理温度700°C～850°C、処理時間1分～10分の第1の条件、または、一酸化二窒素雰囲気における、処理温度650°C～850°C、処理時間1分～10分の第2の条件、を例示できる。

【0033】さらに、第1または第2の熱処理は、酸化

雰囲気における600°C以下の温度での第1処理が行われた後、不活性ガス雰囲気における処理温度650°C～850°C、処理時間1分～10分の条件での第2処理により行うことができ、前記第1および第2処理を逆にした処理つまり不活性ガス雰囲気における処理温度650°C～850°C、処理時間1分～10分の条件での第2処理が行われた後、酸化雰囲気における600°C以下の温度での第1処理により行うことができる。

【0034】なお、第1処理は、オゾン雰囲気における、処理温度300°C～500°Cの第3条件、または、酸素雰囲気における処理温度550°C～600°Cの第4条件、の何れかの条件で行うことができる。

【0035】なお、本発明は前記の通り、酸化タンタル膜を堆積し、オゾン雰囲気における熱処理（オゾンアニール）を行い、さらに酸化タンタル膜の堆積およびオゾンアニールを行うという工程を含むものである。このような方法に類似した方法として、特開平9-121035号公報に記載のキャパシタ膜の形成方法がある。この公報記載の方法は、Ta₂O₅膜を形成する第1段階と、Ta₂O₅膜にUV-O₃アニーリングを施す第2段階と、第1段階および第2段階を一回以上繰り返し施す第3段階とを有するものである。しかしながら、この公報記載の方法は、O₃アニーリングの繰り返しにより酸素をTa₂O₅膜に十分に供給することを目的としているものであり、このような工程で形成されたTa₂O₅膜はアモルファス膜であると考えられる。これに対し、本発明の方法により形成された酸化タンタル膜は結晶化されるものであり、この点において明確に相違する。また、本発明の方法は、結晶化により形成された酸化タンタル結晶の粒界を積層化により分断し、モルフォロジを改善し、結晶粒の粒径を小さくすることによる絶縁耐圧の向上を目的としており、目的において相違するものである。この目的の相違に対応して、前記公報の方法ではTa₂O₅膜の膜厚を10～500Åとするのに対し、本発明では、各ステップにおける酸化タンタル膜の膜厚を10nmとする構成の相違にも現れている。

【0036】前記製造方法において、第1電極または基板の主面がシリコンを主成分とする材料からなる場合には、(a)工程の第1酸化タンタル膜の形成前に、第1電極または基板の表面を窒化することができる。この場合、窒化により形成された第1電極上のシリコン窒化膜あるいはシリコン酸窒化膜により、第1酸化タンタル膜の結晶化処理の際のシリコンの酸化を防止することができる。この結果、誘電率の低いシリコン酸化膜が実質的に容量絶縁膜と作用して情報蓄積用容量素子の蓄積電荷量を減少させなくなる。なお、この窒化は、アンモニア雰囲気における処理温度700°C～850°Cの熱処理により行うことができる。

【0037】また、第1電極の主面がシリコンを主成分とする材料からなる場合には、窒化の前に、第1電極の

表面に粒状のシリコン結晶を成長させることができる。これにより下部電極である第1電極の表面積を増加し、情報蓄積用容量素子の蓄積電荷量を増加できる。

【0038】(4) 本発明の半導体装置の製造装置は、CVD法により酸化タンタル膜を基板に堆積する第1反応室と、酸化雰囲気または不活性雰囲気における基板の熱処理が可能な第2反応室と、第1および第2反応室に接続され、減圧状態を保持しつつ基板を第1および第2反応室に搬送する真空搬送室と、真空搬送室に接続され、基板のロード・アンロードを行うロードロック室とを有する半導体装置の製造装置であって、第1反応室における第1酸化タンタル膜の基板への堆積の後、減圧状態を維持しつつ基板を第2反応室に搬入し、第2反応室における熱処理により第1酸化タンタル膜を結晶化し、さらに減圧状態を維持しつつ第1反応室における第2酸化タンタル膜の堆積および第2反応室における第2酸化タンタル膜の結晶化を行うものである。

【0039】このような半導体装置の製造装置によれば、前記した(3)の製造方法を実現でき、また、

(1) および(2)の半導体装置の多結晶酸化タンタル膜を製造できる。なお、この製造装置によれば、第1反応室と第2反応室の間の搬送を減圧雰囲気下で行うため、積層膜を構成する多結晶酸化タンタル膜の清浄度を保持することができ、容量絶縁膜の絶縁耐圧を向上して半導体装置の性能および信頼性を向上できる。

【0040】なお、前記製造装置は、さらに、真空搬送室に接続され、アンモニア雰囲気における熱処理が可能な第3反応室を有し、第3反応室における基板表面のシリコン領域の窒化の後、減圧状態を維持しつつ第1反応室に基板を搬送するものとすることができる。この場合、第3反応室におけるシリコン窒化膜またはシリコン酸窒化膜の形成と第1および第2反応室における多結晶酸化タンタル膜の形成との間を減圧状態に保持するため、大気開放による酸素の付着等がなく、界面を清浄に維持できる。

【0041】また、前記製造装置は、真空搬送室に接続され、多結晶シリコン膜、金属膜または金属化合物膜がスパッタ法またはCVD法により堆積できる第4反応室をさらに有し、第2反応室における酸化タンタル膜の結晶化の後、減圧状態を維持しつつ第4反応室に基板を搬送し、結晶化酸化タンタル膜上に多結晶シリコン膜、金属膜または金属化合物膜を形成するものとすることもできる。これにより第4反応室で形成される多結晶シリコン膜、金属膜または金属化合物膜で上部電極を構成し、情報蓄積用容量素子の形成を減圧状態を維持した環境で一貫的に製造できる。

【0042】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同

一の符号を付し、その繰り返しの説明は省略する。

【0043】(実施の形態1) 図1は、実施の形態1のDRAMを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの正面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンスアンプSAが配置されている。半導体チップ1Aの正面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0044】図2は、実施の形態1のDRAMの等価回路図である。図示のように、このDRAMのメモリアレイ(MARY)は、マトリクス状に配置された複数のワード線WL(WL0、WL1、WL_n...)と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)により構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積用容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQsとで構成されている。メモリセル選択用MISFETQsのソース、ドレインの一方は、情報蓄積用容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0045】次に、本実施の形態のDRAMの製造方法を図面を用いて工程順に説明する。図3～図26は、実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【0046】まず、図3に示すように、素子分離領域および不純物が導入されたウェル領域を形成する。

【0047】p型で比抵抗が10Ωcm程度の単結晶シリコンからなる半導体基板1を用意し、たとえば850℃程度でウェット酸化して形成した膜厚10nm程度の薄いシリコン酸化膜(図示せず)およびたとえばCVD(Chemical Vapor Deposition)法で形成した膜厚140nm程度のシリコン窒化膜(図示せず)を半導体基板1上に堆積する。ここでは単結晶シリコンの半導体基板1を例示するが、表面に単結晶シリコン層を有するSOI(Silicon On Insulator)基板、あるいは、表面に多結晶シリコン膜を有するガラス、セラミックス等の誘電体基板であってもよい。

【0048】次に、フォトレジスト膜(図示せず)をマスクにして、溝5が形成される領域の前記シリコン窒化膜およびシリコン酸化膜をパターニングし、このシリコン窒化膜をマスクとして半導体基板1をドライエッチングすることにより、素子分離領域の半導体基板1に深さ300～400nm程度の溝5を形成する。

【0049】次に、前記フォトレジスト膜を除去した

後、前記のエッティングによって溝5の内壁に生じたダメージ層を除去するために、たとえば850～900℃程度のウェット酸化による薄い（膜厚10nm程度）シリコン酸化膜6を溝5の内壁に形成し、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積されたシリコン酸化膜（図示せず）を300～400nm程度の膜厚で堆積する。このシリコン酸化膜は、1000℃程度でドライ酸化によりシンタリング（焼き締め）を行なってもよい。

【0050】次に、このシリコン酸化膜をCMP法により研磨して溝5以外の領域のシリコン酸化膜を除去し、溝5の内部にシリコン酸化膜7を残して素子分離領域を形成する。なお、このCMP法による研磨の前に、溝5の領域にシリコン窒化膜を形成して、溝5領域のシリコン酸化膜が過剰に深く研磨されるディッシングを防止することができる。

【0051】次に、半導体基板1の表面に残存しているシリコン酸化膜およびシリコン窒化膜をたとえば熱リン酸を用いたウェットエッティングで除去した後、メモリセルを形成する領域（メモリアレイ）の半導体基板1にn型不純物、たとえばP（リン）をイオン打ち込みしてn型半導体領域10を形成し、メモリアレイと周辺回路の一部（nチャネル型MISFETを形成する領域）にp型不純物、たとえばB（ホウ素）をイオン打ち込みしてp型ウエル11を形成し、周辺回路の他の一部（pチャネル型MISFETを形成する領域）にn型不純物、たとえばP（リン）をイオン打ち込みしてn型ウエル12を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、たとえばBF₂（フッ化ホウ素）をp型ウエル11およびn型ウエル12にイオン打ち込みする。n型半導体領域10は、入出力回路などから半導体基板1を通じてメモリアレイのp型ウエル11にノイズが侵入するのを防止するために形成される。

【0052】次に、半導体基板1の表面をたとえばHF（フッ酸）系の洗浄液を使って洗浄した後、半導体基板1を850℃程度でウェット酸化してp型ウエル11およびn型ウエル12の各表面に膜厚7nm程度の清浄なゲート酸化膜13を形成する。特に限定はされないが、上記ゲート酸化膜13を形成した後、半導体基板1をNO（酸化窒素）雰囲気中またはN₂O（亜酸化窒素）雰囲気中で熱処理することによって、ゲート酸化膜13と半導体基板1との界面に窒素を偏析させてもよい（酸窒化処理）。ゲート酸化膜13が7nm程度まで薄くなると、半導体基板1との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板1との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極めて薄いゲート酸化膜13の信頼性を向上できる。

【0053】次に、図4に示すように、ゲート酸化膜13の上部にゲート電極14A、14B、14Cを形成する。ゲート電極14Aは、メモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワード線WLとして使用される。このゲート電極14A（ワード線WL）の幅、すなわちゲート長は、メモリセル選択用MISFETの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法（たとえば0.24μm程度）で構成される。また、隣接するゲート電極14A（ワード線WL）同士の間隔は、フォトリソグラフィの解像限界で決まる最小寸法（たとえば0.22μm）で構成される。ゲート電極14Bおよびゲート電極14Cは、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETの各一部を構成する。

【0054】ゲート電極14A（ワード線WL）およびゲート電極14B、14Cは、たとえばP（リン）などのn型不純物がドープされた膜厚70nm程度の多結晶シリコン膜を半導体基板1上にCVD法で堆積し、次いでその上部に膜厚50nm程度のWN（タンゲステンナイトライド）膜と膜厚100nm程度のW膜とをスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のシリコン窒化膜15をCVD法で堆積した後、フォトレジスト膜16をマスクにしてこれらの膜をパターニングすることにより形成する。WN膜は、高温熱処理時にW膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層は、WN膜の他、TiN（チタンナイトライド）膜などを使用することもできる。

【0055】ゲート電極14A（ワード線WL）の一部を低抵抗の金属（W）で構成した場合には、そのシート抵抗を2～2.5Ω/□程度にまで低減できるので、ワード線遅延を低減することができる。また、ゲート電極14（ワード線WL）をA1配線などで裏打ちしなくともワード線遅延を低減できるので、メモリセルの上部に形成される配線層の数を1層減らすことができる。

【0056】次に、フォトレジスト膜16を除去した後、フッ酸などのエッティング液を使って、半導体基板1の表面に残ったドライエッティング残渣やフォトレジスト残渣などを除去する。このウェットエッティングを行うと、ゲート電極14A（ワード線WL）およびゲート電極14B、14Cの下部以外の領域のゲート酸化膜13が削られる同時に、ゲート側壁下部のゲート酸化膜13も等方的にエッティングされてアンダーカットが生じるため、そのままではゲート酸化膜13の耐圧が低下する。そこで、半導体基板1を900℃程度でウェット酸化することによって、削れたゲート酸化膜13の膜質を改善する。

【0057】次に、図5に示すように、n型ウエル12にp型不純物、たとえばB（ホウ素）をイオン打ち込みしてゲート電極14Cの両側のn型ウエル12にp⁻型

半導体領域17を形成する。また、p型ウエル11にn型不純物、たとえばP(リン)をイオン打ち込みしてゲート電極14Bの両側のp型ウエル11にn⁻型半導体領域18を形成し、ゲート電極14Aの両側のp型ウエル11にn型半導体領域19を形成する。これにより、メモリアレイにメモリセル選択用MISFETQsが形成される。

【0058】次に、図6に示すように、半導体基板1上にCVD法で膜厚50～100nm程度のシリコン窒化膜20を堆積した後、メモリアレイのシリコン窒化膜20をフォトレジスト膜21で覆い、周辺回路のシリコン窒化膜20を異方性エッチングすることにより、ゲート電極14B、14Cの側壁にサイドウォールスペーサ20aを形成する。このエッチングは、ゲート酸化膜13や素子分離溝5に埋め込まれたシリコン酸化膜7の削れ量を最少とするために、シリコン酸化膜に対するシリコン窒化膜20のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極14B、14C上のシリコン窒化膜15の削れ量を最少するために、オーバーエッチング量を必要最小限にとどめるようにする。

【0059】次に、フォトレジスト膜21を除去した後、図7に示すように、周辺回路領域のn型ウエル12にp型不純物、たとえばB(ホウ素)をイオン打ち込みしてpチャネル型MISFETのp⁺型半導体領域22(ソース、ドレイン)を形成し、周辺回路領域のp型ウエル11にn型不純物、たとえばAs(ヒ素)をイオン打ち込みしてnチャネル型MISFETのn⁺型半導体領域23(ソース、ドレイン)を形成する。これにより、周辺回路領域にLDD(Lightly Doped Drain)構造を備えたpチャネル型MISFETQpおよびnチャネル型MISFETQnが形成される。

【0060】次に、図8に示すように、半導体基板1上に膜厚300nm程度のSOG(SpinOn Glass)膜24をスピンドル塗布した後、半導体基板1を800℃、1分程度熱処理してSOG膜24をシンタリング(焼き締め)する。また、SOG膜24の上部に膜厚600nm程度のシリコン酸化膜25を堆積した後、このシリコン酸化膜25をCMP法で研磨してその表面を平坦化する。さらに、シリコン酸化膜25の上部に膜厚100nm程度のシリコン酸化膜26を堆積する。このシリコン酸化膜26は、CMP法で研磨されたときに生じた前記シリコン酸化膜25の表面の微細な傷を補修するために堆積する。シリコン酸化膜25、26は、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。シリコン酸化膜26に代えてPSG(Phospho Silicate Glass)膜などを堆積してもよい。

【0061】このように、本実施の形態では、ゲート電極14A(ワード線WL)およびゲート電極14B、1

4Cの上部にリフロー性が高いSOG膜24を塗布し、さらにその上部に堆積したシリコン酸化膜25をCMP法で平坦化する。これにより、ゲート電極14A(ワード線WL)同士の微細な隙間のギャップフィル性が向上すると共に、ゲート電極14A(ワード線WL)およびゲート電極14B、14Cの上部の絶縁膜の平坦化を実現することができる。

【0062】次に、図9に示すように、フォトレジスト膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19(ソース、ドレイン)の上部のシリコン酸化膜26、25およびSOG膜24を除去する。このエッチングは、シリコン窒化膜20に対するシリコン酸化膜26、25およびSOG膜24のエッチングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5の上部を覆っているシリコン窒化膜20が完全には除去されないようにする。続いて、上記フォトレジスト膜27をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19(ソース、ドレイン)の上部のシリコン窒化膜20とゲート酸化膜13とを除去することにより、n型半導体領域19(ソース、ドレイン)の一方の上部にコンタクトホール28を形成し、他方の上部にコンタクトホール29を形成する。このエッチングは、シリコン酸化膜(ゲート酸化膜13および素子分離溝5内のシリコン酸化膜7)に対するシリコン窒化膜15のエッチングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5が深く削れないようにする。また、このエッチングは、シリコン窒化膜20が異方的にエッチングされるような条件で行い、ゲート電極14A(ワード線WL)の側壁にシリコン窒化膜20が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール28、29がゲート電極14A(ワード線WL)に対して自己整合で形成される。コンタクトホール28、29をゲート電極14A(ワード線WL)に対して自己整合で形成するには、あらかじめシリコン窒化膜20を異方性エッチングしてゲート電極14A(ワード線WL)の側壁にサイドウォールスペーサを形成しておいてよい。

【0063】なお、図9におけるシリコン酸化膜26およびレジスト膜27の表面は、図18に示すような周辺回路領域におけるシリコン酸化膜25表面に沿って落ち込み(段差)形状を成している。図9はその形状を省略している。

【0064】次に、フォトレジスト膜27を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、コンタクトホール28、29の底部に露出した基板表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、コンタクトホール28、29の側壁に露出したSOG膜24もエッチング液に曝

されるが、SOG膜24は、前述した800°C程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってコンタクトホール28、29の側壁が大きくアンダーカットされることはない。これにより、次の工程でコンタクトホール28、29の内部に埋め込まれるプラグ同士のショートを確実に防止することができる。

【0065】次に、図10に示すように、コンタクトホール28、29の内部にプラグ30を形成する。プラグ30は、シリコン酸化膜26の上部にn型不純物（たとえばP（リン））をドープした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール28、29の内部に残すことにより形成する。

【0066】次に、図11に示すように、シリコン酸化膜26の上部に膜厚200nm程度のシリコン酸化膜31を堆積した後、半導体基板1を800°C程度で熱処理する。シリコン酸化膜31は、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。この熱処理によつて、プラグ30を構成する多結晶シリコン膜中のn型不純物がコンタクトホール28、29の底部からメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）に拡散し、n型半導体領域19が低抵抗化される。

【0067】次に、図12に示すように、フォトレジスト膜32をマスクにしたドライエッチングで前記コンタクトホール28の上部のシリコン酸化膜31を除去してプラグ30の表面を露出させる。次に、フォトレジスト膜32を除去した後、図13に示すように、フォトレジスト膜33をマスクにしたドライエッチングで周辺回路領域のシリコン酸化膜31、26、25、SOG膜24およびゲート酸化膜13を除去することにより、nチャネル型MISFETQnのn⁺型半導体領域23（ソース、ドレイン）の上部にコンタクトホール34、35を形成し、pチャネル型MISFETQpのp⁺型半導体領域22（ソース、ドレイン）の上部にコンタクトホール36、37を形成する。

【0068】次に、フォトレジスト膜33を除去した後、図14に示すように、シリコン酸化膜31の上部にビット線BLおよび周辺回路の第1層配線38、39を形成する。ビット線BLおよび第1層配線38、39を形成するには、まずシリコン酸化膜31の上部に膜厚50nm程度のTi膜をスパッタリング法で堆積し、半導体基板1を800°C程度で熱処理する。次いで、Ti膜の上部に膜厚50nm程度のTiN膜をスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のW膜と膜厚200nm程度のシリコン窒化膜40とをCVD法で堆積した後、フォトレジスト膜41をマスクにしてこれら

の膜をパターニングする。

【0069】シリコン酸化膜31の上部にTi膜を堆積した後、半導体基板1を800°C程度で熱処理することにより、Ti膜と下地Siとが反応し、nチャネル型MISFETQnのn⁺型半導体領域23（ソース、ドレイン）の表面とpチャネル型MISFETQpのp⁺型半導体領域22（ソース、ドレイン）の表面とプラグ30の表面とに低抵抗のTiSi₂（チタンシリサイド）層42が形成される。これにより、n⁺型半導体領域23、p⁺型半導体領域22およびプラグ30に接続される配線（ビット線BL、第1層配線38、39）のコンタクト抵抗を低減することができる。また、ビット線BLをW膜/TiN膜/Ti膜で構成することにより、そのシート抵抗を2Ω/□以下にまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができると共に、ビット線BLと周辺回路の第1層配線38、39とを一つの工程で同時に形成することができる。さらに、周辺回路の第1層配線（38、39）をビット20線BLと同層の配線で構成した場合には、第1層配線をメモリセルの上層のA1配線で構成する場合に比べて周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）と第1層配線とを接続するコンタクトホール（34～37）のアスペクト比が低減されるため、第1層配線の接続信頼性が向上する。

【0070】ビット線BLは、隣接するビット線BLとの間に形成される寄生容量をできるだけ低減して情報の読み出し速度および書き込み速度を向上させるために、30その間隔がその幅よりも長くなるように形成する。ビット線BLの間隔はたとえば0.24μm程度とし、その幅はたとえば0.22μm程度とする。

【0071】なお、TiSi₂層42は、熱処理による劣化が生じる可能性があるが、その熱処理として後に説明する情報蓄積用容量素子の容量絶縁膜の形成工程が考えられる。しかしながら、後に説明するように、本実施の形態においては容量絶縁膜の形成工程が低温化されたため、TiSi₂層42が熱処理により劣化し、接続抵抗の上昇等の不具合を生じることはない。

【0072】次に、フォトレジスト膜41を除去した後、図15に示すように、ビット線BLの側壁と第1層配線38、39の側壁とにサイドウォールスペーサ43を形成する。サイドウォールスペーサ43は、ビット線BLおよび第1層配線38、39の上部にCVD法でシリコン窒化膜を堆積した後、このシリコン窒化膜を異方性エッチングして形成する。

【0073】次に、図16に示すように、ビット線BLおよび第1層配線38、39の上部に膜厚300nm程度のSOG膜44をスピニ塗布する。次いで、半導体基板50を800°C、1分程度熱処理してSOG膜44をシン

タリング（焼き締め）する。SOG膜44は、BPSG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたピット線BL同士の隙間を良好に埋め込むことができる。また、SOG膜44は、BPSG膜で必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるため、ピット線BLの下層に形成されたメモリセル選択用MISFETQsのソース、ドレインや周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）のソース、ドレインに含まれる不純物の熱拡散を抑制して浅接合化を図ることができる。さらに、ゲート電極14A（ワード線WL）およびゲート電極14B、14Cを構成するメタル（W膜）の劣化を抑制できるので、DRAMのメモリセルおよび周辺回路を構成するMISFETの高性能化を実現することができる。また、ピット線BLおよび第1層配線38、39を構成するTi膜、TiN膜、W膜の劣化を抑制して配線抵抗の低減を図ることができる。

【0074】次に、SOG膜44の上部に膜厚600nm程度のシリコン酸化膜45を堆積した後、このシリコン酸化膜45をCMP法で研磨してその表面を平坦化する。シリコン酸化膜45は、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0075】このように、本実施の形態では、ピット線BLおよび第1層配線38、39の上部に成膜直後でも平坦性が良好なSOG膜44を塗布し、さらにその上部に堆積したシリコン酸化膜45をCMP法で平坦化する。これにより、ピット線BL同士の微細な隙間のギャップフィル性が向上すると共に、ピット線BLおよび第1層配線38、39の上部の絶縁膜の平坦化を実現することができる。また、高温・長時間の熱処理を行わないため、メモリセルおよび周辺回路を構成するMISFETの特性劣化を防止して高性能化を実現することができると共に、ピット線BLおよび第1層配線38、39の低抵抗化を図ることができる。

【0076】次に、シリコン酸化膜45の上部に膜厚100nm程度のシリコン酸化膜46を堆積する。このシリコン酸化膜46は、CMP法で研磨されたときに生じた前記シリコン酸化膜45の表面の微細な傷を補修するために堆積する。シリコン酸化膜46は、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0077】次に、図17に示すように、フォトレジスト膜47をマスクにしたドライエッチングでコンタクトホール29の上部のシリコン酸化膜46、45、SOG膜44およびシリコン酸化膜31を除去してプラグ30の表面に達するスルーホール48を形成する。このエッチングは、シリコン酸化膜46、45、31およびSO

G膜44に対するシリコン窒化膜のエッチングレートが小さくなるような条件で行い、スルーホール48とピット線BLの合わせずれが生じた場合でも、ピット線BLの上部のシリコン窒化膜40やサイドウォールスペーサ43が深く削れないようにする。これにより、スルーホール48がピット線BLに対して自己整合で形成される。

【0078】次に、フォトレジスト膜47を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、スルーホール48の底部に露出したプラグ30の表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、スルーホール48の側壁に露出したSOG膜44もエッチング液に曝されるが、SOG膜44は、前記800°C程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってスルーホール48の側壁が大きくアンダーカットされることはない。これにより、次の工程でスルーホール48の内部に埋め込まれるプラグとピット線BLとのショートを確実に防止することができる。また、プラグとピット線BLとを十分に離間させることができるので、ピット線BLの寄生容量の増加を抑制することができる。

【0079】次に、図18に示すように、スルーホール48の内部にプラグ49を形成する。プラグ49は、金属化合物たとえば窒化チタン膜からなる。プラグ49は、後に説明する反応防止層50の形成の際の反応防止層50とプラグ30との反応を抑制することができる。これにより、プラグ30とプラグ49との間に、導通を阻害する物質、たとえばシリコン酸化物の形成を抑制して、情報蓄積用容量素子とメモリセル選択用MISFETQsとの接続を良好に維持することができる。プラグ49は、シリコン酸化膜46の上部に、たとえば窒化チタン膜をスピッタ法あるいはCVD法により堆積し、これをエッチバックしてスルーホール48の内部に残すことにより形成する。エッチバックに代えて、CMP法により窒化チタン膜を研磨して除去してもよい。

【0080】なお、プラグ49は、前記窒化チタン膜等の金属化合物に限られず、多結晶シリコン膜により構成してもよい。

【0081】次に、図19に示すように、プラグ49およびシリコン酸化膜46の上部に反応防止層50およびルテニウム(Ru)膜51を堆積する。反応防止層50としては酸化ルテニウム膜を例示できる。ルテニウム膜51は後に下部電極となるものである。反応防止層50の膜厚は数nm～50nm程度とすることができる。また、ルテニウム膜51の膜厚は、たとえば0.5μmとすることができる。ただし、この0.5μmという値は、下部電極の高さを規定するものであり、下部電極の面積すなわち確保しようとする容量値により調整することがで

きる。反応防止層50は、スパッタ法あるいはCVD法により形成することができる。なお、反応防止層50は必須の構成要素ではなく、なくてもよい。

【0082】ルテニウム膜51は、ルテニウムをターゲットとするスパッタ法あるいは有機ルテニウムガスを原料ガスとするCVD法により形成できる。なお、ルテニウム膜51に代えて、酸化ルテニウム膜、タングステン膜、窒化チタン膜等を用いることもできる。

【0083】次に、図20に示すように、ルテニウム膜51上にフォトレジスト膜52を形成し、このフォトレジスト膜52をマスクとしてルテニウム膜51および反応防止層50をたとえばRIE(Reactive Ion Etching)法を用いてエッチングし、除去する。このようにして反応防止層53およびルテニウム膜51からなる下部電極54を形成する。反応防止層53は、後に説明する容量絶縁膜の酸化性雰囲気での熱処理の際の酸素の侵入を阻止する作用を有する。

【0084】次に、フォトレジスト膜52を除去した後、図21に示すように、半導体基板1の全面に膜厚10nm以下の酸化タンタル膜55を堆積する。酸化タンタル膜55の堆積は、たとえばペンタエトキシタンタル(Ta(C₂H₅O)₅)を含むガスを原料ガスとし、550℃以下の減圧状態(たとえば400mTorr)における熱CVD法により形成できる。なお、酸化タンタル膜55の形成には、Ta(C₂H₅)₅等のペンタアルキルタンタルガスと酸素との混合ガスを原料ガスに用いてもよい。

【0085】このように、酸化タンタル膜55の膜厚を10nm以下とすることにより、後に説明する酸化タンタル膜55の熱処理後の第1多結晶酸化タンタル膜のストレスの低減、モルフォロジの改善、密度の向上を図ることができる。また、酸化タンタル膜55を熱CVD法により堆積することにより、ステップカバレッジに優れた酸化タンタル膜55とができる。

【0086】次に、酸化タンタル膜55に熱処理を施し、これを結晶化して結晶化酸化タンタル膜56を形成する。酸化タンタル膜55の熱処理は、酸化雰囲気において650℃以上の温度条件で行われる。この650℃の温度は、酸化タンタルの結晶化温度であり、良好な結晶の酸化タンタル膜を得るために650℃以上であることが必要である。また、酸化雰囲気において処理されるのは、結晶化された酸化タンタル結晶の酸素欠陥を回復し、良好な結晶性の多結晶酸化タンタル膜を得るために行うものである。たとえば、酸素雰囲気における、処理温度700℃～850℃、処理時間1分～10分の第1の条件、または、一酸化二窒素雰囲気における、処理温度650℃～850℃、処理時間1分～10分の第2の条件、を例示できる。

【0087】また、酸化タンタル膜55の熱処理は、酸化雰囲気における600℃以下の温度での第1処理が行

われた後、不活性ガス雰囲気における処理温度650℃～850℃、処理時間1分～10分の条件での第2処理により行うこともできる。あるいは前記の第1および第2処理を逆にした処理つまり不活性ガス雰囲気における処理温度650℃～850℃、処理時間1分～10分の条件での第2処理を行った後、酸化雰囲気における600℃以下の温度での第1処理を行うこともできる。このように、酸化タンタル膜の結晶化は酸化処理と分離して行うことも可能である。酸化処理と結晶化処理とは何れを前後にしてもかまわない。第1処理は、オゾン雰囲気における、処理温度300℃～500℃の第3条件、または、酸素雰囲気における処理温度550℃～600℃の第4条件、の何れかの条件で行うことができる。

【0088】このような2段階の処理による結晶化は、下部電極54の酸化が問題となる場合に有効である。つまり、酸化タンタル膜55を不活性雰囲気で結晶化した後、下部電極が酸化されない程度に緩やかな条件で結晶化された酸化タンタル膜を酸下処理することができる。あるいは逆に、下部電極を酸化しない程度に緩やかな条件で酸化タンタル膜55を酸化処理し、その後、不活性雰囲気で熱処理を行うことができる。緩やかな条件での酸化処理の例としては、オゾン雰囲気における400℃程度での処理を例示できる。

【0089】この酸化処理は、結晶化により発生する結晶化酸化タンタル膜56の酸素欠陥に酸素を補充する手段である。なお、酸素雰囲気を構成する酸化ガスの酸化性の強さにより、必要な熱処理温度が相違する。つまり、酸素よりは一酸化二窒素の方が処理温度は低くでき、一酸化二窒素よりもオゾンの方が処理温度を低くできる。

【0090】このように酸化雰囲気における熱処理による結晶化、あるいは、結晶化熱処理の後の酸化処理または酸化処理を行った後の結晶化処理を10nm以下の膜厚の酸化タンタル膜55に対して行うため、結晶化後の結晶化酸化タンタル膜56のストレスの低減、モルフォロジの改善、密度の向上を図ることができる。これらの詳細なデータについては後に説明する。

【0091】次に、図22に示すように、結晶化酸化タンタル膜56上に膜厚10nm以下の第2の酸化タンタル膜57を堆積する。酸化タンタル膜57の堆積は、酸化タンタル膜55の場合と同様にできる。さらに、酸化タンタル膜57に熱処理を施してこれを結晶化し、第2の結晶化酸化タンタル膜58を形成する。酸化タンタル膜57の結晶化の方法は、酸化タンタル膜55を結晶化して結晶化酸化タンタル膜56を形成する場合と同様である。このようにして結晶化酸化タンタル膜56、58からなる容量絶縁膜が形成される。

【0092】なお、第2の酸化タンタル膜57は、酸化タンタルの多結晶膜である結晶化酸化タンタル膜56上に堆積されるため、アズデボ状態においてすでに酸化タ

ンタル結晶が形成されている場合がある。このような場合、酸化タンタル膜57は、その一部に酸化タンタル結晶を含むアモルファス膜となり、酸化タンタル膜57を結晶化して結晶化酸化タンタル膜58を形成する工程において処理温度を低くすることができる。

【0093】このように、第2の酸化タンタル膜57を前記酸化タンタル膜55と同様に10nm以下の膜厚で形成し、この酸化タンタル膜57を結晶化して結晶化酸化タンタル膜58を形成するため、結晶化酸化タンタル膜56と同様に結晶化酸化タンタル膜58のストレスの低減、モルフォロジの改善、密度の向上を図ることができる。

【0094】また、結晶化酸化タンタル膜58を結晶化酸化タンタル膜56上に重ねて形成するため、結晶化された酸化タンタル膜が1層である場合に比較して容量絶縁膜のリーク電流を低減できる。図23は、下部電極54とその表面に形成された結晶化酸化タンタル膜56、58の一部を拡大して示した断面図である。図23に示すように、結晶化酸化タンタル膜56、58は、各々酸化タンタル結晶の粒界59を有するが、各層の粒界59は他の層で分断されるため粒界59が下部電極54から結晶化酸化タンタル膜58上に形成される上部電極にまで達する事がない。このため、リーク電流の主なパスである粒界59が結晶化酸化タンタル膜56、58の何れか一方により分断されて結果的に容量絶縁膜の絶縁性が保持される。

【0095】また、容量絶縁膜を構成する結晶化酸化タンタル膜56、58が各々10nm以下の膜厚で形成され、そのため各結晶化酸化タンタル膜56、58のストレスが低減され、モルフォロジが改善され、密度が向上することは前記したとおりである。このため、これら膜特性が改善された結晶化酸化タンタル膜56、58の積層膜として構成される容量絶縁膜も、そのストレスが低減され、モルフォロジが改善され、密度が向上することとなる。

【0096】さらに、本実施の形態の容量絶縁膜は良質な結晶化酸化タンタル膜56、58の積層膜として構成されるため、容量絶縁膜の膜特性は、その膜厚方向に均一に良質な状態で形成されることとなる。仮に、容量絶縁膜を1層の結晶化酸化タンタル膜で構成した場合は、その膜厚方向に沿って膜質が変化し、たとえば、その最上層部分における膜厚が実質的に絶縁膜として機能できないほど劣化する場合がある。このような膜質の劣化は膜ストレスの増加あるいはモルフォロジの劣化による膜密度の低下という現象で把握できる場合がある。この場合、容量絶縁膜の最上領域は、実質的に良好な絶縁膜として機能できず、容量絶縁膜の耐電圧の低下あるいはリーク電流の増加を招く原因となる。しかしながら、本実施の形態では、容量絶縁膜を構成する結晶化酸化タンタル膜56、58を段階を分けて形成するため、その

膜質を良好に維持し、これらの積層膜で形成される容量絶縁膜においてはその膜厚方向の何れの領域においても優れた膜質を実現できる。このため、本実施の形態の容量絶縁膜では、耐電圧を向上し、また、リーク電流を低減することができる。

【0097】なお、結晶化酸化タンタル膜58、58を加えた膜厚つまり容量絶縁膜の膜厚は、10nm～40nmの範囲にことができる。本実施の形態では、下部電極54にルテニウム膜を採用するため、仮に結晶化酸化タンタル膜58、58の形成の際の酸化処理によりルテニウムが酸化されても、酸化ルテニウムは導電性を有するため、酸化ルテニウムによる容量絶縁膜の実質的な膜厚の増加はない。このため、結晶化酸化タンタル膜58、58の積層膜のみにより容量絶縁膜を構成でき、このため結晶化酸化タンタル膜58、58の積層膜の膜厚には設計の余裕を持たせることができ、40nmの膜厚まで許容されることとなる。

【0098】また、前記した酸化タンタル膜55、57を結晶化する熱処理は、前記TiSi₂層42の熱劣化を抑制する必要があるため、900℃以下で行うことが好ましいが、本実施の形態では何れの熱処理も850℃以下であり、TiSi₂層42の熱劣化を抑制できる。

【0099】また、酸化タンタル膜55の形成前に、下部電極54の表面に下部電極54を構成する金属たとえば、下部電極54がルテニウムからなる本実施の形態の場合は、酸化ルテニウム膜をあらかじめ形成することができる。下部電極54が窒化チタンで構成される場合には酸化チタン膜を形成できる。これら酸化ルテニウム膜は、スパッタ法、CVD法、あるいは下部電極54の酸化処理により形成できる。このように酸化ルテニウム膜をあらかじめ下部電極54上に形成しておくことにより、酸化タンタル膜55の結晶化処理の際に、下部電極54があらかじめ酸化されている状態になっているため、それ以上の酸化が抑制され、結晶化された後の結晶化酸化タンタル膜56、58に不要なストレスが発生せず、リーク電流を低減できる。なお、酸化ルテニウムは導電性であるため、実質的な容量絶縁膜の膜厚の増加にはならず、情報蓄積用容量素子の蓄積電荷量の低減は生じない。

【0100】また、本実施の形態においては、前記したとおり、酸化ルテニウム膜からなる反応防止層53が形成されているため、本熱処理工程において酸素が酸化タンタル膜55および下部電極54を通してプラグ49に達することなく、また、下部電極54を構成するルテニウムとプラグ49を構成する窒素あるいはチタンとの反応を抑制できる。この結果、プラグ49と下部電極54との接続抵抗を低く維持しプラグ49と下部電極54との電気的な接続の信頼性を向上することができる。

【0101】次に、結晶化酸化タンタル膜58上に窒化チタン膜を堆積し、図24に示すように前記窒化チタン

膜上にフォトレジスト膜60を形成し、このフォトレジスト膜60をマスクとして前記窒化チタン膜および結晶化酸化チタンタル膜56、58をエッチングして容量絶縁膜61および上部電極62を形成する。窒化チタン膜の堆積にはたとえばCVD法を用いることができる。このようにしてルテニウムからなる下部電極54、結晶化酸化チタンタル膜56、58の積層膜からなる容量絶縁膜61および窒化チタンからなる上部電極62で構成される情報蓄積用容量素子Cを形成する。これにより、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子Cとで構成されるDRAMのメモリセルが完成する。

【0102】なお、上部電極62を構成する材料としては、窒化チタン膜に代えて、酸化ルテニウム膜、ルテニウム膜、あるいはタンクステン膜とすることができます。

【0103】次に、フォトレジスト膜60を除去した後、図25に示すように、情報蓄積用容量素子Cの上部に膜厚40nm程度のシリコン酸化膜63を堆積する。シリコン酸化膜63は、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。さらにSOG膜64を塗布してメモリセルの形成された領域を平坦化すると同時に、周辺回路領域との段差を緩和する。本実施の形態のDRAMでは、容量絶縁膜61に誘電率の高い多結晶酸化チタンタル膜を用いるため、下部電極54の高さを特に高く形成する必要はない。このため、SOG膜64のみでメモリセル領域と周辺回路領域との段差を緩和することが可能である。この結果、前記段差を解消するための複雑な工程を採用することなく、プロセスを単純化することができる。

【0104】次に、図26に示すように、フォトレジスト膜をマスクとしたドライエッティングで周辺回路の第1層配線38の上部のSOG膜64、シリコン酸化膜63、53、シリコン酸化膜46、シリコン酸化膜45、SOG膜44およびシリコン窒化膜40を除去することにより、スルーホール65を形成する。また、同様に上部電極62の上部のSOG膜64、シリコン酸化膜63を除去することにより、スルーホール66を形成する。その後、スルーホール65、66の内部にプラグ67を形成し、続いてSOG膜64の上部に第2層配線68を形成する。プラグ67は、SOG膜64の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール65、63の内部に残すことにより形成する。第2層配線68は、SOG膜64の上部にスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl(アルミニウム)膜、膜厚50nm程度のTi膜を堆積した後、フォトレジスト膜をマスクとしたドライエッティングでこれらの膜をパターニングして形成する。

【0105】その後、層間絶縁膜を介して第3層配線を形成し、その上部にシリコン酸化膜とシリコン窒化膜とで構成されたバッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のDRAMが略完成する。

【0106】なお、第3層配線およびそれに接続するプラグは第2層配線の場合と同様に形成することができ、層間絶縁膜は、たとえば膜厚300nm程度のシリコン酸化膜、膜厚400nm程度のSOG膜および膜厚300nm程度のシリコン酸化膜で構成できる。シリコン酸化膜は、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積できる。

【0107】本実施の形態によれば、容量絶縁膜61を結晶化酸化チタンタル膜56、58の2層積層膜とするため、上部電極62と下部電極54との間のリーク電流を低減し、DRAMのリフレッシュ特性を改善できる。また、結晶化酸化チタンタル膜56、58は各々酸化チタンタル膜55、57の堆積と結晶化とを各膜ごとにステップ20を分けて(本実施の形態の場合2ステップで)行うため、容量絶縁膜61の膜質をその膜厚方向に均一に形成し、容量絶縁膜61の膜質を向上できる。さらに、容量絶縁膜61を構成する結晶化酸化チタンタル膜56、58の膜厚を10nm以下とするため、各結晶化酸化チタンタル膜56、58のストレスを低減し、モルフォロジを改善し、また、その膜密度を向上できる。この結果、容量絶縁膜61の膜質を総合的に良好にしてDRAMの性能および信頼性を向上できる。

【0108】上記効果を、図27～29に示したデータ30を用いて説明する。図27は、結晶化酸化チタンタル膜の膜応力の測定結果を示すグラフである。横軸の1～3STEPは各々1ステップで結晶化酸化チタンタル膜を形成した場合から3ステップつまり3回の酸化チタンタル膜の堆積および結晶化を繰り返して3層積層膜を形成した場合について示している。なお、各酸化チタンタル膜の膜厚はステップ数に関わらず15nmと一定である。また、1～3ステップの各場合についてアニール処理を行わない場合、450℃および800℃のアニール処理を行った場合について示している。このアニール処理は上部電40極62の形成の際に熱工程が介在することを考慮して示したものである。本実施の形態は2ステップの場合に相当する。

【0109】この膜応力測定の結果から、ステップ数の増加、つまり、酸化チタンタル膜の膜堆積と結晶化の工程の繰り返し数を増加するにしたがって、膜応力が低下することがわかる。すなわち、膜応力の増加は容量絶縁膜61への好ましくないストレスの増加を生じ、情報蓄積用容量素子Cのリーク電流を増加させると考えられることから、本実施の形態のように酸化チタンタル膜55を結晶化して結晶化酸化チタンタル膜56を形成しその後さら

に酸化タンタル膜57を堆積した後にこれを結晶化して結晶化酸化タンタル膜58を形成する2ステップ工程とする本実施の形態の容量絶縁膜61の方が、一度に15nmの膜厚の酸化タンタル膜を堆積してこれを結晶化する1ステップ工程の場合よりも優れた膜質であるといえる。また、ステップ数を増加するほど膜質は向上するといえる。

【0110】なお、膜応力の測定方法は、730μm厚さのシリコンウェハに15nm膜厚の結晶化酸化タンタル膜を1ステップないし3ステップで形成し、その後、ウェハ裏面を研磨して200μm厚にした後、短冊状にこれを切り出してその短冊の反り量から計算により求めた。

【0111】図28は、X線反射率測定の反射率データを示すグラフであり、(b)は1ステップの場合を、

(a)は2ステップの場合を示す。このX線反射率測定は、X線を全反射領域($\theta = 0 \sim 2$ 度)で入射させ、その反射X線を検出し解析することで多層膜の膜厚、密度、ラフネスを求めることができる測定手法である。反射率データの解析にはフーリエ変換と膜厚、密度、ラフネスをパラメータとした膜構造モデルへの最小二乗法を用いたフィッティングとを用いる。なお、本実施の形態のX線反射率測定には(株)リガク製のX線反射率測定装置SLX-2000を用いた。入射X線にはCuK α 1を用い、試料の角度走査には分解能0.001度のゴニオメータを用いた。X線の検出にはNaI検出器を用いた。

【0112】このX線反射率測定の結果を表1に示す。

【0113】

【表1】

	酸化タンタル膜厚 (nm)	酸化タンタル膜厚密度 (g/cm ³)	ラフネス (nm)
1ステップ	1.568	6.70436	0.400
	5.822	8.65277	0.899
	6.078	8.77475	0.227
	(13.468)	(8.4809)	(1.576)
2ステップ	13.338	8.74630	1.089
3ステップ	13.712	8.94992	1.025

【0114】上表に示すように、1ステップ工程で形成された結晶化酸化タンタル膜は、1ステップで形成されたにも関わらず単層の膜構造モデルではフィッティングできず、3層構成の膜構造でなければフィッティングできない。これは、1ステップ工程で形成された結晶化酸化タンタル膜は、その膜厚方向に不均一性を有し、X線反射率測定で見る限りはあたかも3層構成の酸化タンタル膜のように見えるということを意味する。このような3層構成を仮定して解析により求められた結果(膜厚、密度およびラフネス)が表1の1ステップの行に各々示されている。なお、1ステップ行の最下段の括弧内には膜厚およびラフネスについては各々の合計を、密度については平均を示している。この1ステップの結果から、膜密度はその最表層領域で低くなり、平均の膜密度も2ステップあるいは3ステップに比較して低くなっていることがわかる。また、ラフネスについては、1ステップ形成された酸化タンタル膜の各構成層の値をえたものが全層つまり1ステップ形成された結晶化酸化タンタル膜のラフネスと考えられ、これを2ステップあるいは3ステップに比較すれば1.576nmと約1.5倍に大きくなっている。

【0115】これに対し、2ステップあるいは3ステップ工程で形成された結晶化酸化タンタル膜は、X線反射率測定で見る限り単層構成の膜であるとみなされる。これは、2ステップ以上のステップ形成された結晶化酸化タンタル膜は、その膜厚方向に膜質が均一であるといえ

る。また、膜密度は1ステップ工程に比較して高く、ラフネスは小さい。さらにステップ数を多くするに従い、膜密度が増加し、ラフネスは低下する傾向にある。膜密度の増加が膜の緻密性を示し、多結晶膜の緻密性がその粒界間の空隙の減少にあるとすれば、膜密度の増加は結晶粒の微小化を示しているといえる。このような膜密度の増加つまり膜の緻密化は、主に粒界をパスとするリーク電流を減少させる作用をする。また、ラフネスの低減は、局所的な電界の集中を防止し、結晶化酸化タンタル膜の耐電圧を向上する作用を有する。

【0116】以上の結果から、2ステップあるいは3ステップ工程で形成された結晶化酸化タンタル膜は、1ステップ工程で形成された結晶化酸化タンタル膜よりも膜密度およびラフネスの点で膜質が優れており、しかも膜厚方向の不均一性が存在せず、優れた耐電圧と耐リーク特性を有する絶縁膜であるといえる。

【0117】図29は、1ステップ、2ステップあるいは3ステップ工程で形成された結晶化酸化タンタル膜のリーク電流特性を示すグラフである。リーク電流はステップ数を増すごとに減少しており、多層成膜された結晶化酸化タンタル膜がリーク電流を減少させていることがわかる。DRAMに適用する場合の動作電圧である1.7Vにおいて各リーク電流値は、1ステップ工程の場合に約0.9μA、2ステップ工程の場合に約0.11μA、3ステップ工程の場合に約0.06μAであり、2ステップあるいは3ステップ工程の場合には1ステップ工

程の場合よりも約1桁のリーク電流の低減を図れる。このようなリーク電流低減の効果はDRAMにおけるリフレッシュ時間を10msecから200msecに延長できる効果に相当する。

【0118】なお、本実施の形態において容量絶縁膜61は、結晶化酸化タンタル膜56、58の2層積層膜としているが、同様の工程によりさらに酸化タンタル膜の堆積およびその結晶化を行って、3層以上の積層膜としてもよい。

【0119】(実施の形態2) 図30～図35は、実施の形態2のDRAMの製造工程の一例を工程順に示した断面図である。

【0120】本実施の形態のDRAMは、その回路構成および平面構成において図1および図2に示したものと同様である。また、情報蓄積用容量素子Cの構造において相違するところを除き、実施の形態1の断面とも同様である。したがって、以下の説明ではその相違する部分についてのみ説明し、同様な部分の説明は省略する。

【0121】本実施の形態2のDRAMの製造方法は、実施の形態1における図18までの工程と同様である。その後、図30に示すように、絶縁膜69を形成し、プラグ49が露出するように絶縁膜69に溝70を形成する。絶縁膜69は、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で形成する。また、溝70はフォトレジスト膜をマスクとしたエッチングにより加工する。

【0122】次に、図31に示すように、反応防止層71およびルテニウム膜72を順次堆積する。反応防止層71およびルテニウム膜72は実施の形態1と同様に堆積できる。

【0123】次に、図32に示すように、半導体基板1の全面に絶縁膜73を堆積する。絶縁膜73は、溝70への埋め込み性および絶縁膜69とのエッチング選択性を考慮してSOG膜とすることが好ましい。

【0124】次に、図33に示すように、絶縁膜73および溝70の領域を除く絶縁膜69上の反応防止層71およびルテニウム膜72を除去する。これらの除去にはエッチバック法あるいはCMP法を用いることができる。溝70の内部に残存する絶縁膜73はウェットエッチングにより除去することが可能である。このようにして反応防止層71およびルテニウム膜72からなる下部電極74が形成される。

【0125】次に、図34に示すように、半導体基板1の全面に酸化タンタル膜75を堆積する。酸化タンタル膜75の堆積は、実施の形態1の酸化タンタル膜55と同様に行う。

【0126】さらに、実施の形態1の結晶化酸化タンタル膜56の場合と同様に、酸化タンタル膜75に熱処理を施してこれを結晶化し、多結晶酸化タンタル膜76を形成する。

【0127】次に、図35に示すように、多結晶酸化タンタル膜76上に第2の酸化タンタル膜77を堆積する。酸化タンタル膜75の堆積は、実施の形態1の酸化タンタル膜57と同様に行う。

【0128】さらに、実施の形態1の結晶化酸化タンタル膜58の場合と同様に、酸化タンタル膜77に熱処理を施してこれを結晶化し、多結晶酸化タンタル膜78を形成する。

【0129】この後の工程は、実施の形態1とほぼ同様である。

【0130】本実施の形態2のDRAMによれば、実施の形態1で説明した効果に加えて、下部電極74を上方に開口を有する円筒形状とすることができる、その表面積を増加して情報蓄積用容量素子Cの蓄積電荷量を増加できる。また、周辺回路領域に絶縁膜69が形成されているため、メモリセル領域と周辺回路領域との段差の発生を防止し、第2層配線の断線、あるいはフォトリソグラフィにおける加工マージンを向上できる。

【0131】なお、図36に示すように、ルテニウム膜20からなる下部電極74の表面に酸化処理を施し、酸化ルテニウム膜79を形成してもよい。この場合、酸化ルテニウム膜79の表面には凹凸が形成され、下部電極の表面積を増加して蓄積電荷量を増加できる。なお、下部電極74の表面の酸化処理は、たとえば窒素ガスで希釈された一酸化二窒素(N₂O)ガス雰囲気中での700℃、10minの熱処理を例示できる。

【0132】(実施の形態3) 図37～図44は、実施の形態3のDRAMの製造方法の一例を工程順に示した断面図である。図37～図44では、情報蓄積用容量素子の領域についてのみ示しているが、その他の部材は実施の形態1と同様である。

【0133】本実施の形態3のDRAMは、情報蓄積用容量素子Cの領域を除き、実施の形態1と同様である。以下情報蓄積用容量素子Cの部分についてのみ説明する。本実施の形態3のDRAMの製造方法は、実施の形態1における図17までの工程と同様である。

【0134】実施の形態1の図17におけるスルーホール48を形成した後、フォトレジスト膜47を除去し、多結晶シリコン膜からなるプラグ80を形成する。プラグ80は、スルーホール48を埋め込む多結晶シリコン膜を半導体基板1の全面に堆積した後、これをエッチバックまたはCMP法による研磨を用いて除去することにより形成する。なお、プラグ80の形成に先立ち、シリコン酸化膜46上にシリコン窒化膜81を形成することが好ましい。このシリコン窒化膜81は、下部電極を露出する際のウェットエッチングのエッチングストップに用いることができる。

【0135】次に、実施の形態2における図30に示す工程と同様に、絶縁膜69を堆積し、これに溝70を形成する。さらに、実施の形態2における図31の反応防

止層71およびルテニウム膜72に代えて非晶質シリコン膜を堆積し、実施の形態2の図32および図33の工程と同様に溝70の内部に上方に開口を有する筒型の非晶質シリコン膜82を形成する。この後、絶縁膜69をウェットエッチングで除去し、非晶質シリコン膜82を露出する(図37)。このエッチングの際にシリコン窒化膜81をエッチングストップとして用いる。

【0136】次に、図38に示すように、非晶質シリコン膜82に核生成処理を行い、結晶化させて球状のシリコン結晶83を形成する。その後、非晶質シリコン膜82に熱処理を施して非晶質シリコン膜82を多結晶シリコン膜84に変換する。これにより、球状のシリコン結晶83と多結晶シリコン膜84とからなる下部電極85を形成する。シリコン結晶83の径は、約50nmとする。

【0137】なお、球状のシリコン結晶83の形成において、自然酸化膜や付着有機物等の存在は、シリコン結晶83の核形成の阻害要因となるため、核生成処理前の非晶質シリコン膜82の表面を清浄にすることが好ましい。清浄化の方法としてたとえば湿式洗浄を施した後、UV(紫外線)およびオゾン(O₃)クリーニング、HFガスエッチングを例示することができる。また、前記清浄化工程と球状のシリコン結晶83の形成工程とが一体化された装置で処理するのが望ましい。

【0138】次に、図39に示すように、たとえばアンモニア雰囲気中で700°C～900°C、1～10分間、好ましくは800°C程度の温度で3分間の熱処理を施して、球状の下部電極85の表面にシリコン窒化膜86を形成する。シリコン窒化膜86の膜厚は2nmとする。このようにシリコン窒化膜86を形成することにより、後に説明する酸化タンタル膜の酸化性雰囲気での熱処理においても下部電極85であるシリコンが酸化されず、下部電極85と酸化タンタル膜との間にシリコン酸化膜が形成されない。仮に下部電極85と酸化タンタル膜との間にシリコン酸化膜が形成された場合には、シリコン酸化膜は誘電率の低い絶縁膜であるため容量絶縁膜の実効的な膜厚を増加し情報蓄積用容量素子Cの容量値を大きく低下させて好ましくない。しかし、本実施の形態では比較的誘電率が高く、また薄い膜厚であっても良好な耐酸化性を発揮するシリコン窒化膜86を形成するため、実質的な容量絶縁膜の膜厚の増加を必要最小限に抑え、情報蓄積用容量素子の容量値の低下も容認できる範囲に抑えることが可能である。

【0139】次に、図40に示すように、実施の形態1の酸化タンタル膜55と同様にして酸化タンタル膜87を形成する。このときシリコン窒化膜86が形成されているため、シリコンからなる下部電極85の表面は酸化されない。

【0140】次に、図41に示すように、実施の形態1の結晶化酸化タンタル膜56の場合と同様に熱処理を施

し、酸化タンタル膜87を結晶化して結晶化酸化タンタル膜88を形成する。このときにもシリコン窒化膜86が形成されているため、シリコンからなる下部電極85の表面は酸化されない。

【0141】次に、図42に示すように、実施の形態1の酸化タンタル膜57と同様にして酸化タンタル膜89を、結晶化酸化タンタル膜88上に形成する。この酸化タンタル膜89は、結晶化酸化タンタル膜88上に形成されるため、一種のエピタキシャル成長が発生している場合もあり、この場合次の熱処理温度を低下することができる。

【0142】次に、図43に示すように、実施の形態1の結晶化酸化タンタル膜58の場合と同様に熱処理を施し、酸化タンタル膜89を結晶化して結晶化酸化タンタル膜90を形成する。このようにしてシリコン窒化膜86、結晶化酸化タンタル膜88、90からなる容量絶縁膜91が形成される。結晶化酸化タンタル膜88、90からなる2層積層膜の膜厚は10～20nmとする。

【0143】なお、上記の熱処理によりシリコン窒化膜86が酸化されて結果的にシリコン酸窒化膜となる場合もある。

【0144】次に、図44に示すように、窒化チタン膜を堆積し、上部電極92を形成する。この後の工程は実施の形態1と同様である。なお、窒化チタン膜に代えて多結晶シリコン膜、タンクステン膜等を用いることができるとはいうまでもない。

【0145】本実施の形態によれば、下部電極85の表面積をシリコン結晶83により増加して情報蓄積用容量素子Cの蓄積電荷量を増加できる。また、実施の形態1で説明した結晶化酸化タンタル膜を積層化する効果が本実施の形態でも得られることは勿論である。特に、下部電極85にシリコン結晶83による凹凸が形成されている場合には、リーク電流の増加が懸念されるが、本実施の形態では結晶化酸化タンタル膜が積層化された積層膜を容量絶縁膜91に有するため、リーク電流を効果的に抑制し、リフレッシュ特性等を向上してDRAMの高性能化を図ることができる。

【0146】(実施の形態4) 図45～図48は、実施の形態4の半導体装置の製造方法の一例を工程順に示した断面図である。

【0147】まず、図45に示すように、実施の形態1の半導体基板1と同様な半導体基板101を用意し、この半導体基板101の正面に素子分離領域の溝102およびその溝102内にシリコン酸化膜103を形成する。溝102およびシリコン酸化膜103の形成は実施の形態1の溝5およびシリコン酸化膜7と同様に行う。また、素子分離領域のシリコン酸化膜7で囲まれた活性領域にシリコン窒化膜104を形成する。シリコン窒化膜104の形成は、実施の形態3のシリコン窒化膜86と同様に行う。

【0148】次に、図46に示すように、半導体基板101の全面に第1の酸化タンタル膜と堆積し、これを結晶化して結晶化酸化タンタル膜105を形成する。さらに結晶化酸化タンタル膜105上に酸化タンタル膜を堆積し、これを結晶化して結晶化酸化タンタル膜106を形成する。酸化タンタル膜の堆積およびその結晶化は、実施の形態3の酸化タンタル膜87、89の堆積およびそれを結晶化して結晶化酸化タンタル膜88、90を形成する工程と同様である。シリコン窒化膜104および結晶化酸化タンタル膜105、106は後に説明するようにMISFETQのゲート絶縁膜となるものである。

【0149】このように結晶化酸化タンタル膜105、106によりゲート絶縁膜を構成するため、ゲート絶縁膜の膜厚を厚くしてトンネル電流の発生を抑制することができる。また、結晶化酸化タンタル膜105、106を積層して構成するため、結晶化酸化タンタル膜の結晶粒界を分断し、リーク電流の発生を防止することができる。

【0150】次に、図47に示すように、結晶化酸化タンタル膜105上に、多結晶シリコン膜を堆積し、フォトレジスト膜をマスクとしてこの多結晶シリコン膜、結晶化酸化タンタル膜105、106をエッチングして除去する。これにより、多結晶シリコン膜からなるゲート電極107および結晶化酸化タンタル膜105、106の積層膜を含むゲート絶縁膜108を形成する。

【0151】次に、フォトレジスト膜およびゲート電極107をマスクとして不純物を低濃度にイオン注入し、半導体領域109を形成する。また、全面にシリコン窒化膜またはシリコン酸化膜を堆積してこれを異方性エッチングすることによりゲート電極107の側壁にサイドウォールスペーサ110を形成する。さらに、フォトレジスト膜、ゲート電極107およびサイドウォールスペーサ110をマスクとして不純物を高濃度にイオン注入し、半導体領域111を形成する。半導体領域109、110はいわゆるLDD構造のソース・ドレイン領域を構成する。

【0152】このようにしてMISFETQが形成される。なお、この後、層間絶縁膜を形成し、半導体領域111に接する第1層配線を形成することができる。また、さらに上層の配線を層間絶縁膜を介して形成できる。これらの説明は実施の形態1の第1層配線等と同様であるため説明を省略する。

【0153】このような半導体装置によれば、ゲート絶縁膜108を結晶化酸化タンタル膜で構成するためその膜厚を厚くできる。すなわち、半導体装置の高集積化の結果、シリコン酸化膜で実現しようとするべくトンネル電流の増加が無視できないようなゲート絶縁膜の膜厚要求をトンネル電流を生じることなく結晶化酸化タンタル膜のゲート絶縁膜108で実現できる。

【0154】また、ゲート絶縁膜108が結晶化酸化タ

ンタル膜105、106の2層積層膜で構成されるため、酸化タンタル結晶の粒界をパスとするリーク電流を抑制できる。これによりMISFETのゲート電極107と半導体基板101との間のリークを低減し、半導体装置の性能を向上できる。

【0155】また、結晶化酸化タンタル膜105と半導体基板101との間にシリコン窒化膜104が形成されているため、結晶化酸化タンタル膜105、106の形成の際の半導体基板101の過剰酸化を防止できる。これによりMISFETの性能を向上できる。なお、本実施例では、ゲート電極107に多結晶シリコンを用いたが、これに限るものではなく、窒化チタン、タングステン、窒化タングステンなどのメタル電極を用いることができる。

【0156】(実施の形態5) 図49は、実施の形態5の半導体装置の製造装置の一例を示した概念図である。

【0157】本実施の形態の製造装置は、酸化タンタル膜を形成する第1反応室120と、酸化タンタル膜に熱処理を行う第2反応室121とを有し、第1反応室120と第2反応室121とは真空搬送室122にゲートバルブを介して接続されている。なおゲートバルブは図示を省略している。

【0158】第1反応室120および第2反応室121には各々基板加熱機構とガス供給機構とを備える。第1反応室120のガス供給機構は酸化タンタル膜をCVD法により形成するための原料ガスを供給する手段を有する。また、第2反応室121のガス供給機構には酸素、一酸化二窒素あるいはオゾン等の酸化性ガスまたは不活性ガスを供給する手段を有する。

【0159】真空搬送室122には、図示しないゲートバルブを介してロードロック室123が接続され、ロードロック室123には、カセット室124、125が接続される。カセット室124、125には各々ウェハカセットに保持されたウェハ126、127がセットされる。

【0160】ウェハ126は、カセット室124からロードロック室123を介して真空搬送室122に導入される。この際、ロードロック室123では真空排気が行われ、真空搬送室122には大気は混入しない。このため真空搬送室122、第1反応室120および第2反応室121の清浄度が高く維持される。

【0161】真空搬送室122に導入されたウェハ126は、第1反応室120に搬入されて実施の形態1～4で説明したように酸化タンタル膜が堆積される。この後、ウェハ126は第1反応室120から真空搬送室122を介して第2反応室121に搬入される。第2反応室121においては、ウェハ126に実施の形態1～4で説明した熱処理が施され、酸化タンタル膜が結晶化される。

【0162】さらに、第1反応室における酸化タンタル

膜の堆積と第2反応室における結晶化が繰り返され、2層積層された結晶化酸化タンタル膜が形成される。この間、ウェハ126は、高真空中に保持された真空搬送室122を介して移動するため、酸化タンタル膜等の界面は清浄に保たれ、良質な酸化タンタル膜の堆積および良質な結晶膜の形成がなされる。すなわち、一般的には大気中の不純物、塵等の異物は酸化タンタル膜の異常結晶化等を促進し、好ましくない欠陥を生ずる恐れがあるが、本実施の形態の製造装置を用いれば、高い洗浄度が実現できる高真空中環境下での一貫した膜形成および結晶化とその繰り返しによる工程を実現できる。これにより良質な結晶化酸化タンタル膜の積層膜を形成することが可能となり、これを用いたDRAMの性能および信頼性向上し、また、これをゲート絶縁膜の用いたMISFETの性能および信頼性向上することができる。

【0163】結晶化酸化タンタル膜が形成されたウェハ126は、真空搬送室122からロードロック室123を介してカセット室125に搬出され、ウェハ127としてウェハカセットに保持される。

【0164】なお、真空搬送室122にはさらに第3反応室を備え、この第3反応室において実施の形態3または4で説明したシリコン窒化膜を形成するための窒化処理を行ってもよい。この窒化処理は、第1反応室120での処理に先だって行われる。また、真空搬送室122にはさらに第4反応室を備え、この第4反応室において実施の形態1～3で説明した上部電極を構成する窒化チタンその他の導電膜の堆積を行ってもよい。この導電膜の堆積は、第2反応室121の処理の後に行われる。

【0165】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0166】実施の形態3において説明したMISFETは、DRAMのメモリセル選択用MISFETにも用いることができる。また、周辺回路のMISFETに用いることもできる。この場合、周辺回路のMISFETのゲート絶縁膜の形成を、メモリセル領域の容量絶縁膜の形成と同一の工程で行うことができる。

【0167】また、実施の形態3のMISFETはあらゆる半導体装置、たとえばSRAM、電気的書き換え可能な一括消去型の読み出し専用メモリ、あるいは、汎用的な論理回路等に適用できる。

【0168】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0169】(1) 耐熱性を有するとともに、リーク電流が少なく、絶縁耐圧の高い容量絶縁膜を実現できる。

【0170】(2) 容量絶縁膜のストレス、表面モルフ

オロジ、密度等の膜特性を改善できる。

【0171】(3) DRAMのリフレッシュ特性等の信頼性および性能を向上できる。

【0172】(4) 実効的なゲート絶縁膜の膜厚が縮小され、かつ、トンネル電流の発生を抑制したゲート絶縁膜を提供できる。

【図面の簡単な説明】

【図1】実施の形態1のDRAMを形成した半導体チップの全体平面図である。

10 【図2】実施の形態1のDRAMの等価回路図である。

【図3】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図4】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図5】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図6】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図7】実施の形態1のDRAMの製造工程の一例を工

20 程順に示した断面図である。

【図8】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図9】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図10】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図11】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図12】実施の形態1のDRAMの製造工程の一例を

30 工程順に示した断面図である。

【図13】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図14】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図15】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図16】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図17】実施の形態1のDRAMの製造工程の一例を

40 工程順に示した断面図である。

【図18】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図19】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図20】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図21】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図22】実施の形態1のDRAMの製造工程の一例を

50 工程順に示した断面図である。

【図23】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図24】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図25】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図26】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図27】結晶化酸化タンタル膜の膜応力の測定結果を示すグラフである。

【図28】X線反射率測定の反射率データを示すグラフであり、(a)は1ステップの場合を、(b)は2ステップの場合を示す。

【図29】1ステップ、2ステップあるいは3ステップ工程で形成された結晶化酸化タンタル膜のリーク電流特性を示すグラフである。

【図30】実施の形態2のDRAMの製造工程の一例を工程順に示した断面図である。

【図31】実施の形態2のDRAMの製造工程の一例を工程順に示した断面図である。

【図32】実施の形態2のDRAMの製造工程の一例を工程順に示した断面図である。

【図33】実施の形態2のDRAMの製造工程の一例を工程順に示した断面図である。

【図34】実施の形態2のDRAMの製造工程の一例を工程順に示した断面図である。

【図35】実施の形態2のDRAMの製造工程の一例を工程順に示した断面図である。

【図36】実施の形態2のDRAMの製造工程の他の例を工程順に示した断面図である。

【図37】実施の形態3のDRAMの製造方法の一例を工程順に示した断面図である。

【図38】実施の形態3のDRAMの製造方法の一例を工程順に示した断面図である。

【図39】実施の形態3のDRAMの製造方法の一例を工程順に示した断面図である。

【図40】実施の形態3のDRAMの製造方法の一例を工程順に示した断面図である。

【図41】実施の形態3のDRAMの製造方法の一例を工程順に示した断面図である。

【図42】実施の形態3のDRAMの製造方法の一例を工程順に示した断面図である。

【図43】実施の形態3のDRAMの製造方法の一例を工程順に示した断面図である。

【図44】実施の形態3のDRAMの製造方法の一例を工程順に示した断面図である。

【図45】実施の形態4の半導体装置の製造方法の一例を工程順に示した断面図である。

【図46】実施の形態4の半導体装置の製造方法の一例を工程順に示した断面図である。

【図47】実施の形態4の半導体装置の製造方法の一例を工程順に示した断面図である。

【図48】実施の形態4の半導体装置の製造方法の一例を工程順に示した断面図である。

【図49】実施の形態5の半導体装置の製造装置の一例を示した概念図である。

【符号の説明】

1 半導体基板

1A 半導体チップ

10 5 溝 (素子分離溝)

6 シリコン酸化膜

7 シリコン酸化膜

10 n型半導体領域

11 p型ウエル

12 n型ウエル

13 ゲート酸化膜

14 ゲート電極

14A ゲート電極

14B ゲート電極

20 14C ゲート電極

15 シリコン窒化膜

16 フォトレジスト膜

17 p⁻型半導体領域

18 n⁻型半導体領域

19 n型半導体領域

20 シリコン窒化膜

20a サイドウォールスペーサ

21 フォトレジスト膜

22 p⁺型半導体領域

30 23 n⁺型半導体領域

24 SOG膜

25 シリコン酸化膜

26 シリコン酸化膜

27 フォトレジスト膜

28 コンタクトホール

29 コンタクトホール

30 プラグ

31 シリコン酸化膜

32 フォトレジスト膜

40 33 フォトレジスト膜

34 コンタクトホール

36 コンタクトホール

38 第1層配線

40 シリコン窒化膜

41 フォトレジスト膜

42 TiSi₂層

43 サイドウォールスペーサ

44 SOG膜

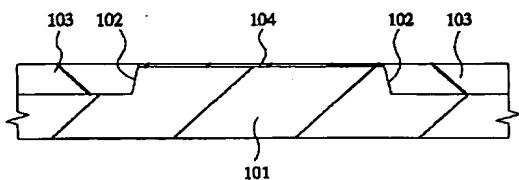
45 シリコン酸化膜

50 46 シリコン酸化膜

- | | | | |
|-----|------------|-------|----------------|
| 4 7 | フォトレジスト膜 | 8 5 | 下部電極 |
| 4 8 | スルーホール | 8 6 | シリコン窒化膜 |
| 4 9 | プラグ | 8 7 | 酸化タンタル膜 |
| 5 0 | 反応防止層 | 8 8 | 結晶化酸化タンタル膜 |
| 5 1 | ルテニウム膜 | 8 9 | 酸化タンタル膜 |
| 5 2 | フォトレジスト膜 | 9 0 | 結晶化酸化タンタル膜 |
| 5 3 | 反応防止層 | 9 1 | 容量絶縁膜 |
| 5 4 | 下部電極 | 9 2 | 上部電極 |
| 5 5 | 酸化タンタル膜 | 1 0 1 | 半導体基板 |
| 5 6 | 結晶化酸化タンタル膜 | 1 0 2 | 溝 |
| 5 7 | 酸化タンタル膜 | 1 0 3 | シリコン酸化膜 |
| 5 8 | 結晶化酸化タンタル膜 | 1 0 4 | シリコン窒化膜 |
| 5 9 | 粒界 | 1 0 5 | 結晶化酸化タンタル膜 |
| 6 0 | フォトレジスト膜 | 1 0 6 | 結晶化酸化タンタル膜 |
| 6 1 | 容量絶縁膜 | 1 0 7 | ゲート電極 |
| 6 2 | 上部電極 | 1 0 8 | ゲート絶縁膜 |
| 6 3 | シリコン酸化膜 | 1 0 9 | 半導体領域 |
| 6 4 | SOG膜 | 1 1 0 | サイドウォールスペーサ |
| 6 5 | スルーホール | 1 1 1 | 半導体領域 |
| 6 6 | スルーホール | 2 0 | 第1反応室 |
| 6 7 | プラグ | 1 2 1 | 第2反応室 |
| 6 8 | 第2層配線 | 1 2 2 | 真空搬送室 |
| 6 9 | 絶縁膜 | 1 2 3 | ロードロック室 |
| 7 0 | 溝 | 1 2 4 | カセット室 |
| 7 1 | 反応防止層 | 1 2 5 | カセット室 |
| 7 2 | ルテニウム膜 | 1 2 6 | ウェハ |
| 7 3 | 絶縁膜 | 1 2 7 | ウェハ |
| 7 4 | 下部電極 | B L | ビット線 |
| 7 5 | 酸化タンタル膜 | C | 情報蓄積用容量素子 |
| 7 6 | 多結晶酸化タンタル膜 | 3 0 | MARY メモリアレイ |
| 7 7 | 酸化タンタル膜 | Q | MISFET |
| 7 8 | 多結晶酸化タンタル膜 | Q n | nチャネル型MISFET |
| 7 9 | 酸化ルテニウム膜 | Q p | pチャネル型MISFET |
| 8 0 | プラグ | Q s | メモリセル選択用MISFET |
| 8 1 | シリコン窒化膜 | S A | センスアンプ |
| 8 2 | 非晶質シリコン膜 | W D | ワードドライバ |
| 8 3 | シリコン結晶 | W L | ワード線 |
| 8 4 | 多結晶シリコン膜 | | |

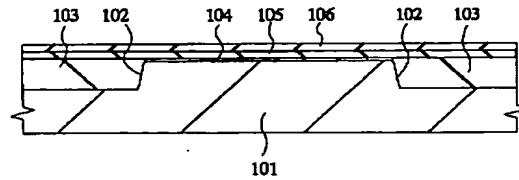
【図45】

図 45



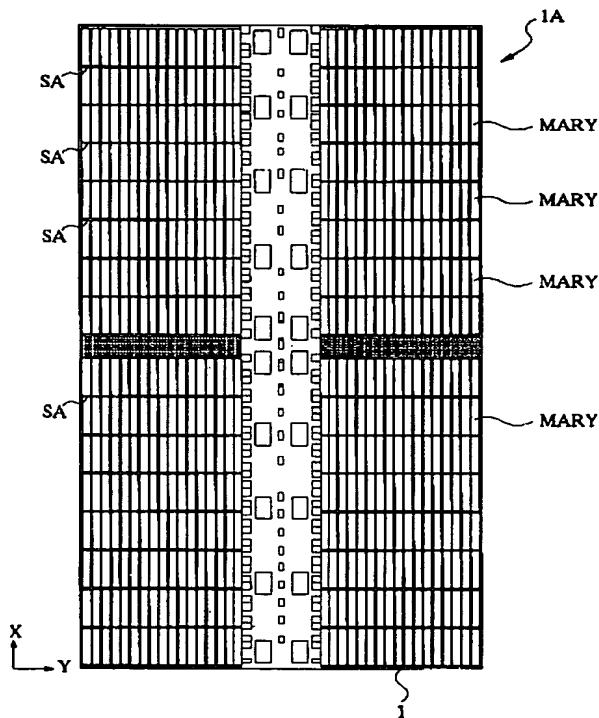
【図46】

図 46



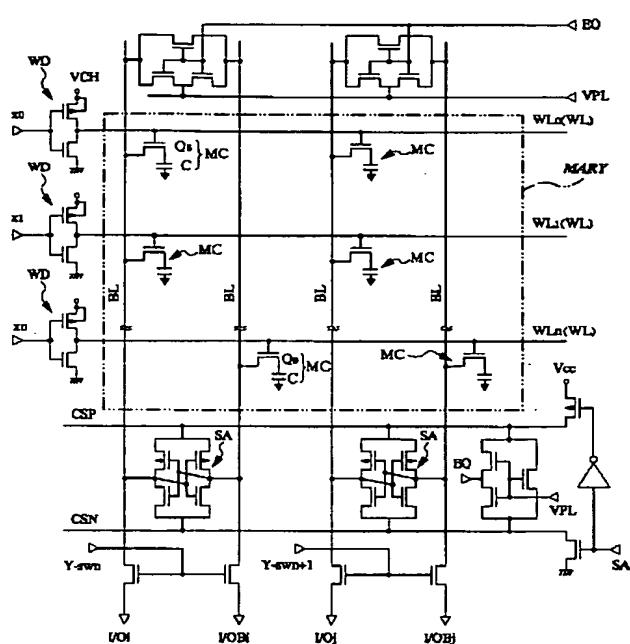
【図1】

図 1



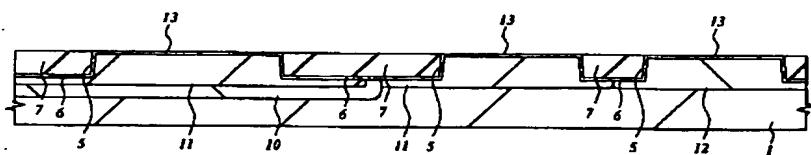
【図2】

図 2



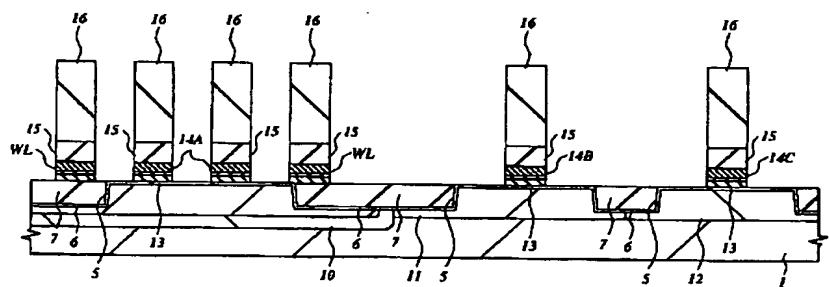
【図3】

図 3



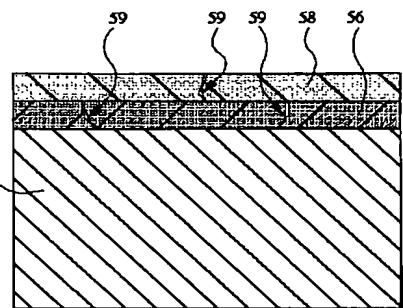
【図4】

図 4



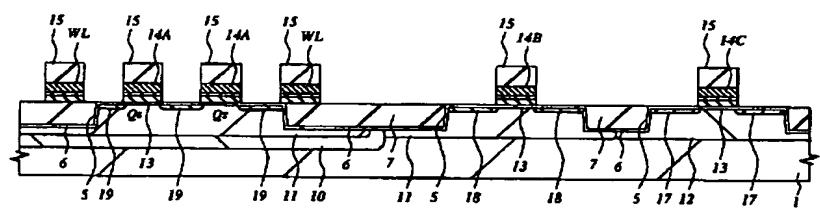
【図23】

図 23



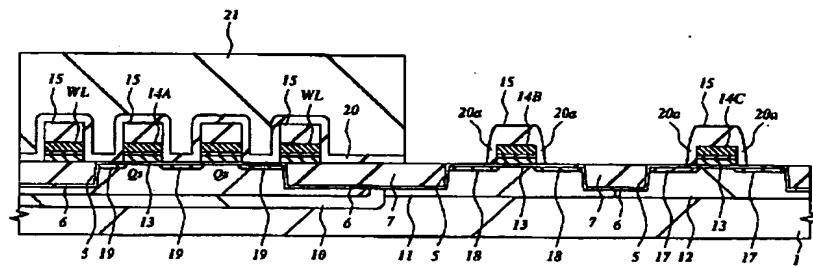
【図5】

図 5



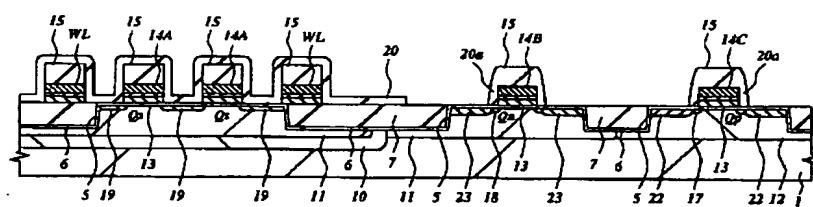
【図6】

図 6



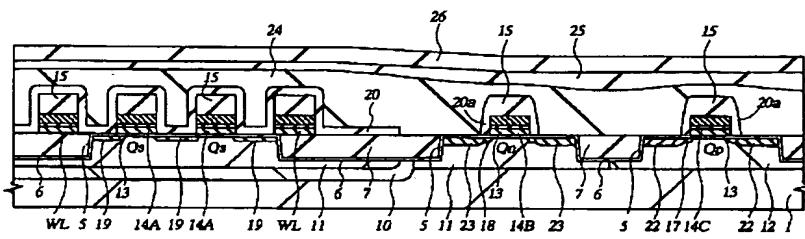
【図7】

図 7



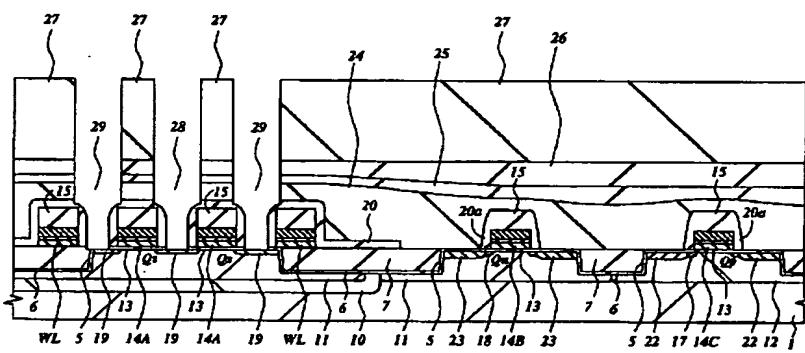
【図8】

図 8



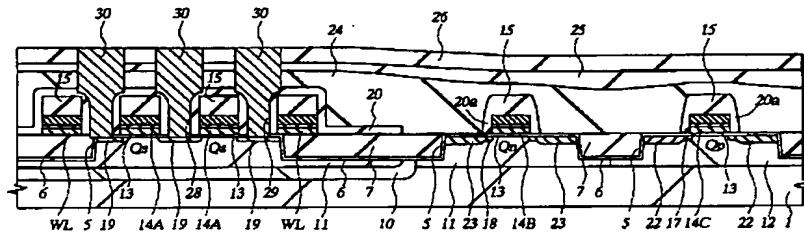
【図9】

図 9



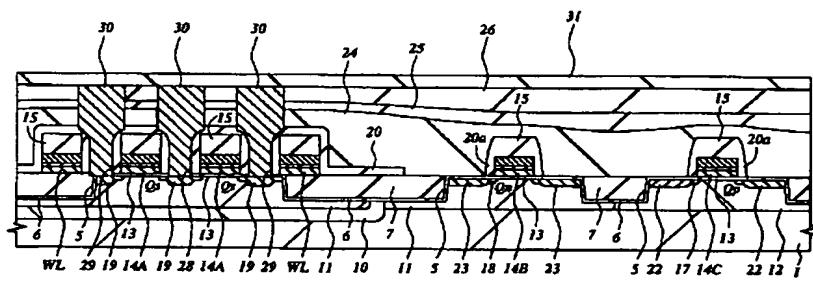
【図10】

図 10



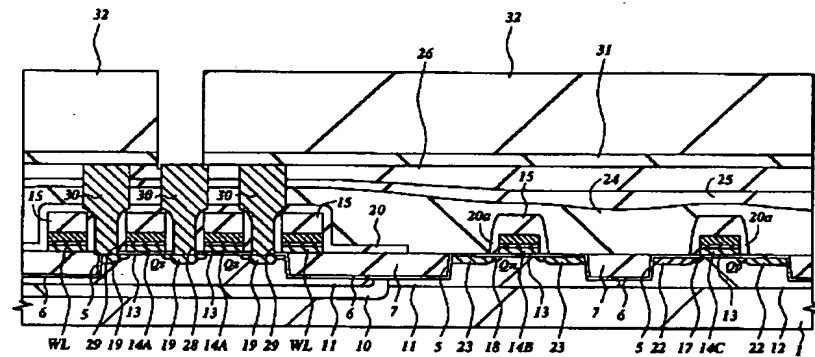
【図11】

図 11



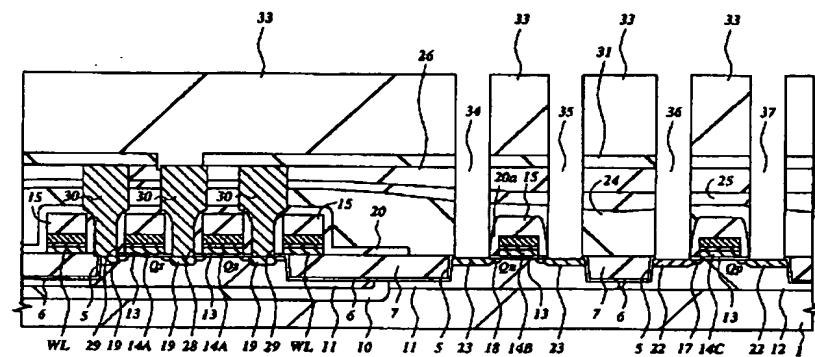
[図12]

图 12



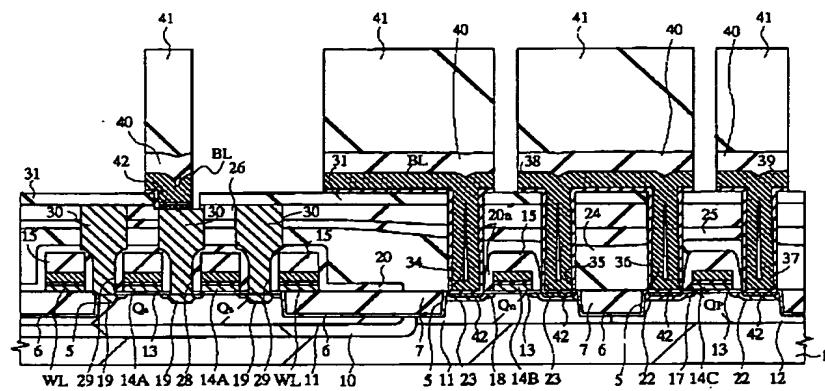
【図13】

13



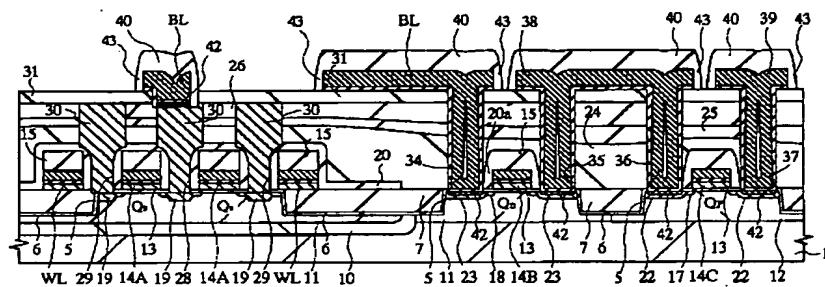
【図14】

図 14



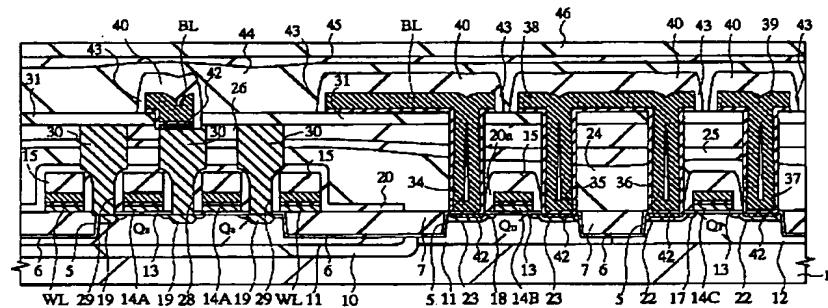
【図15】

図 15



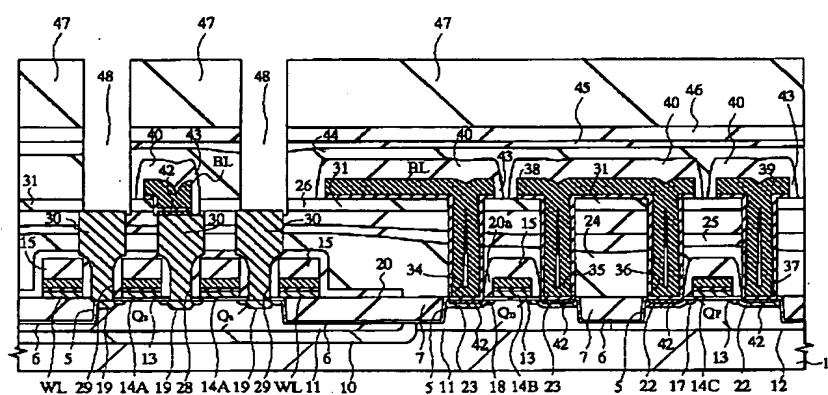
[图 16]

■ 16



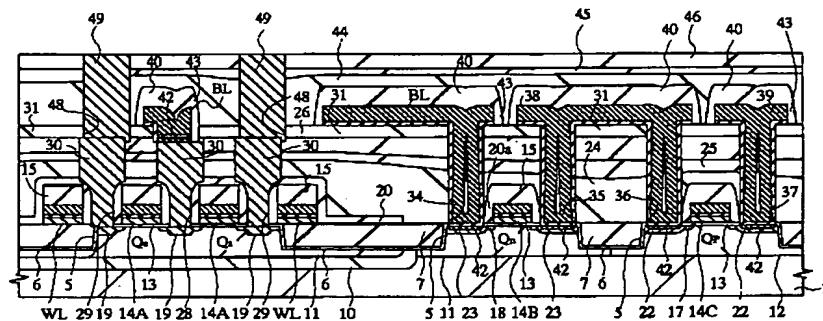
[图 17]

图 17



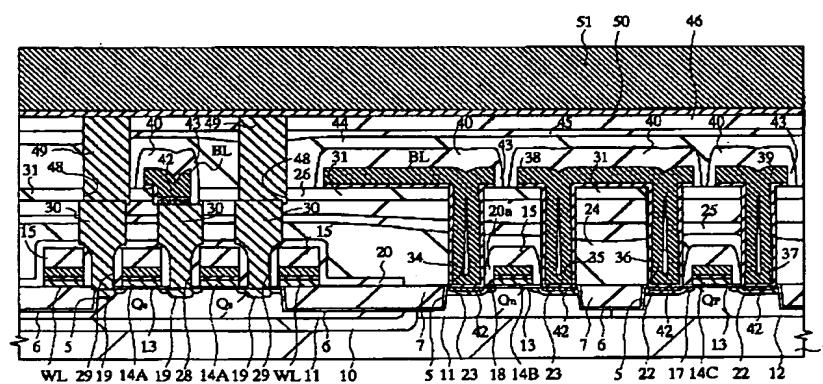
【図18】

图 18



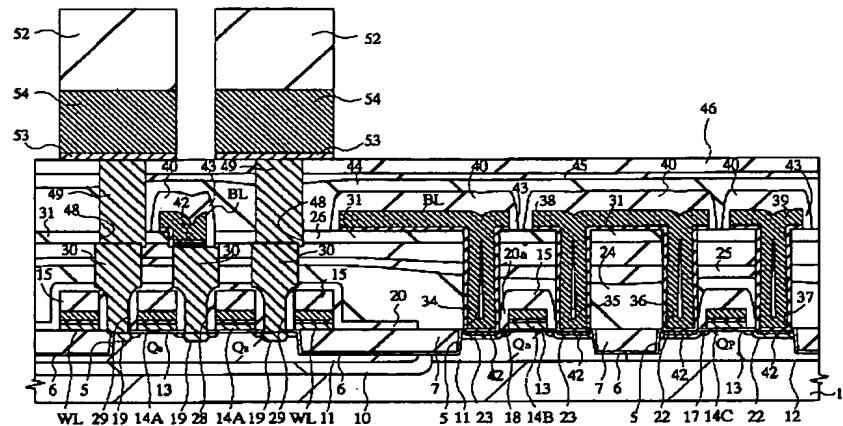
[図19]

19



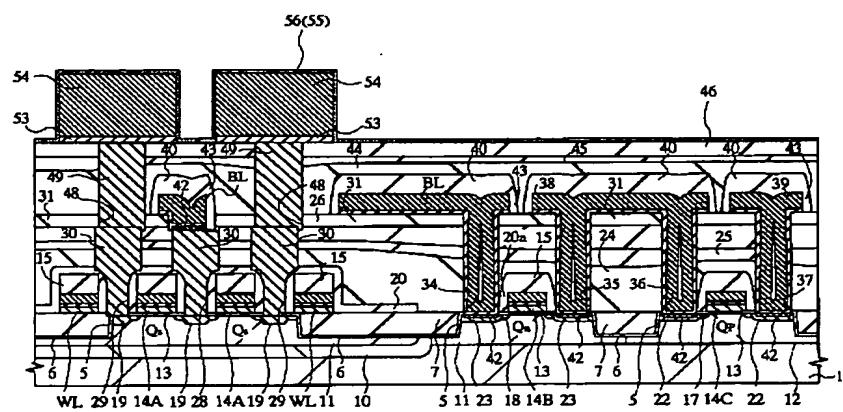
〔図20〕

20



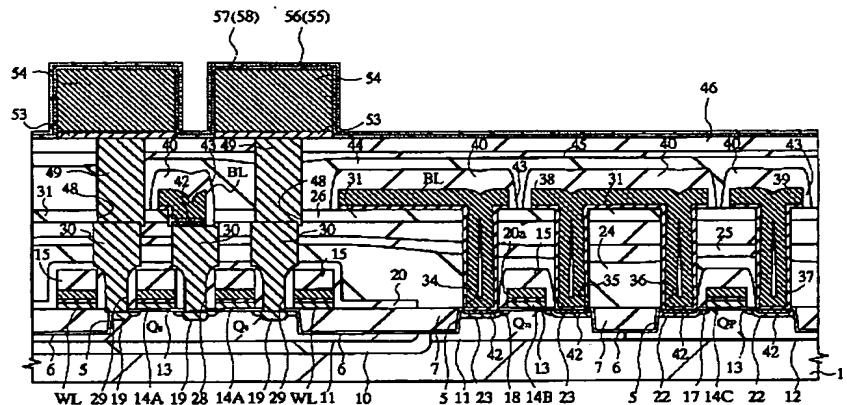
【图21】

图 21



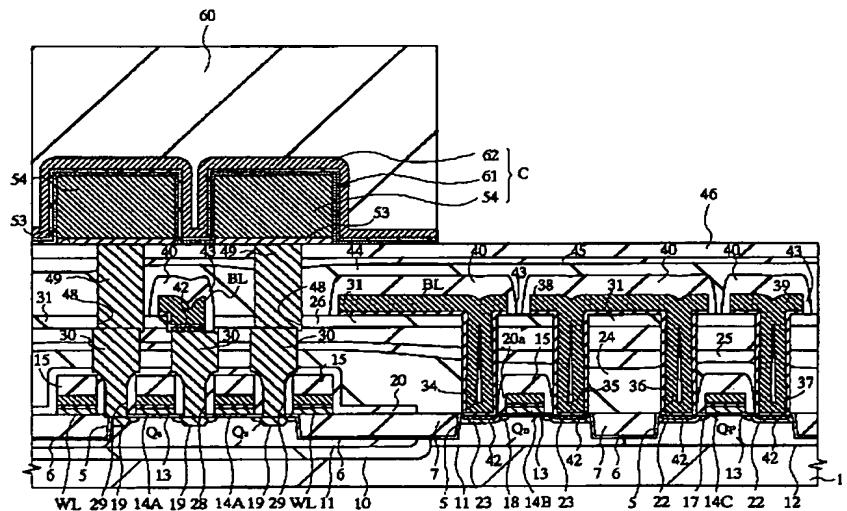
【图22】

図 22



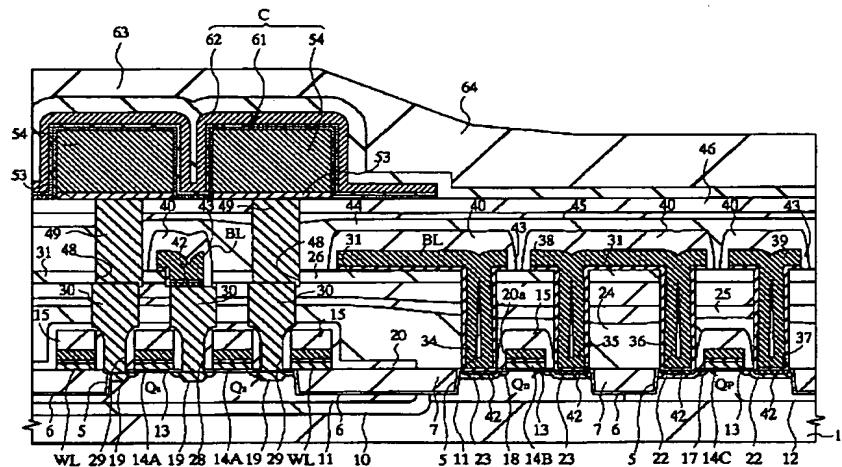
【图24】

图 24



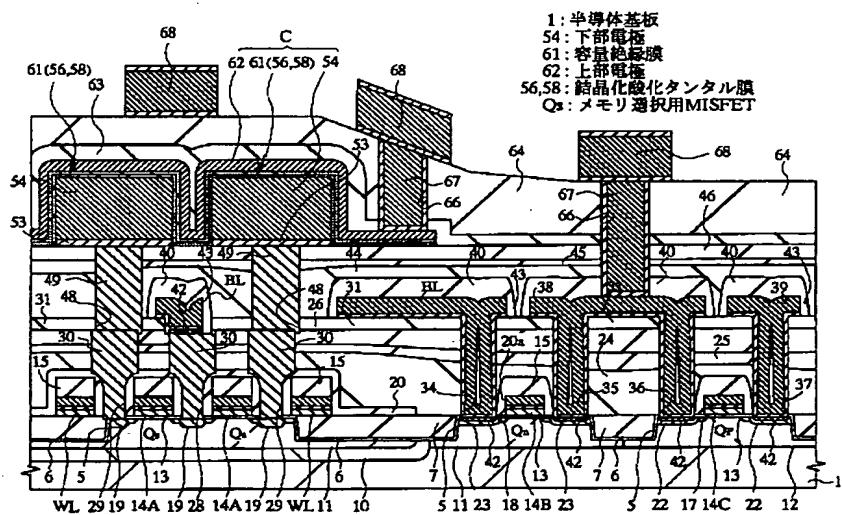
【図25】

图 25



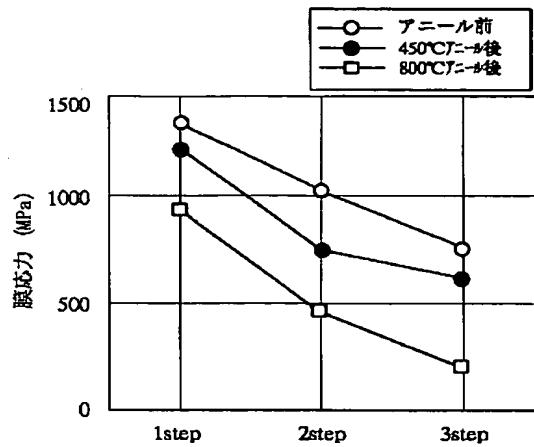
【図26】

图 26



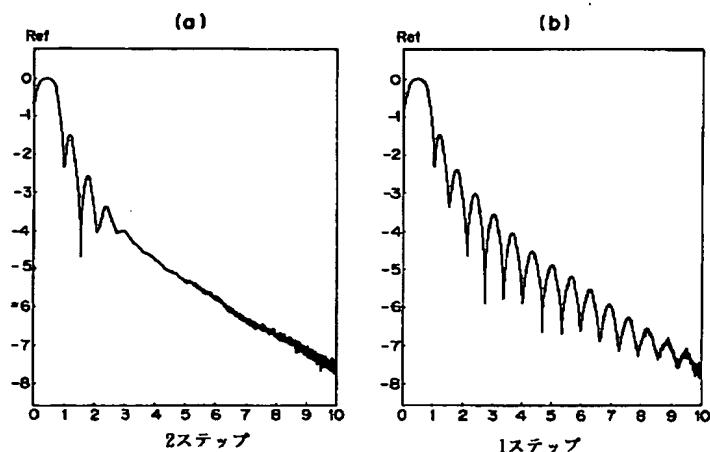
【図27】

図 27



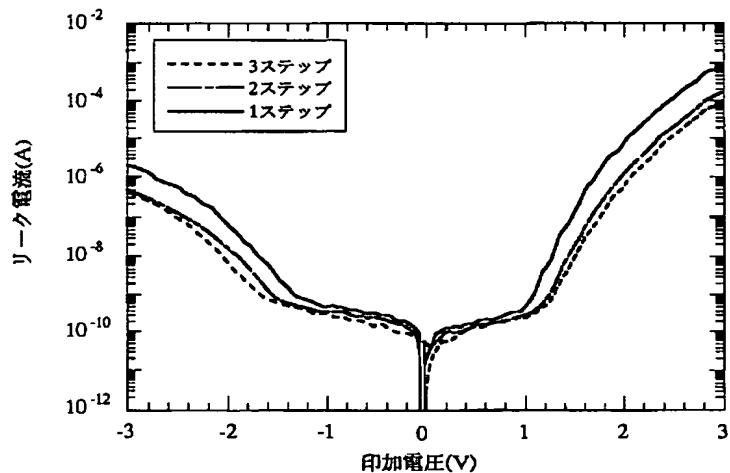
【図28】

図 28



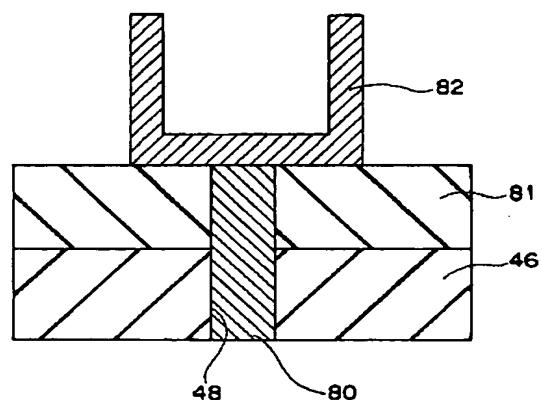
【図29】

図 29



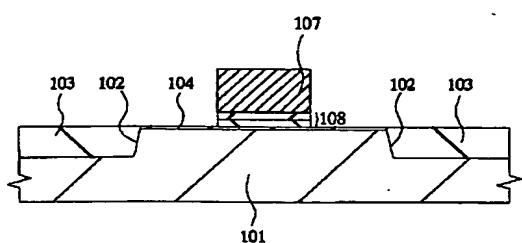
【図37】

図 37



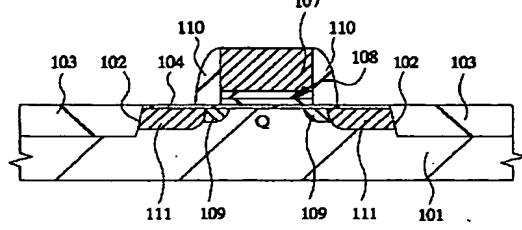
【図47】

図 47



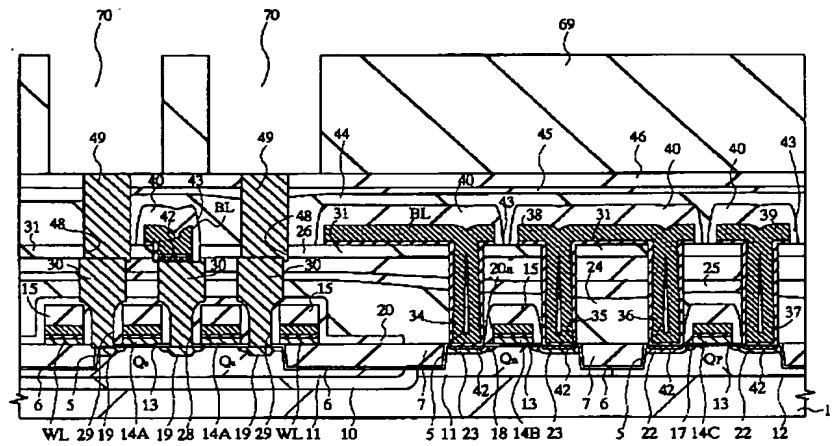
【図48】

図 48



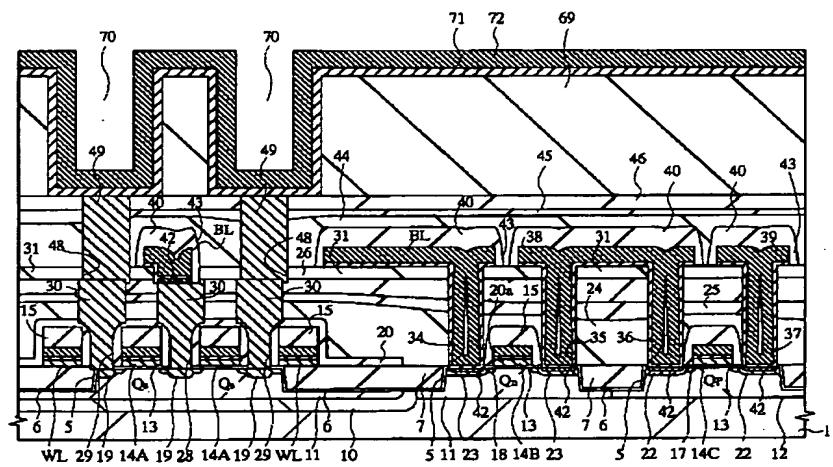
【図30】

図 30



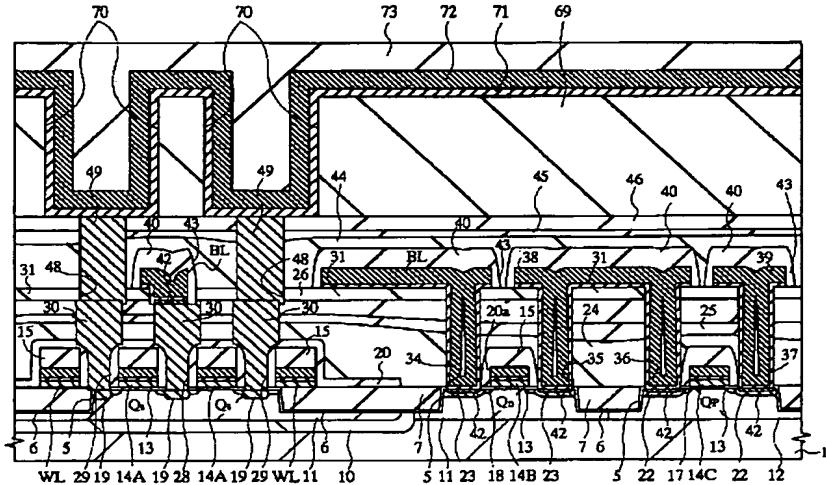
【図31】

図 31



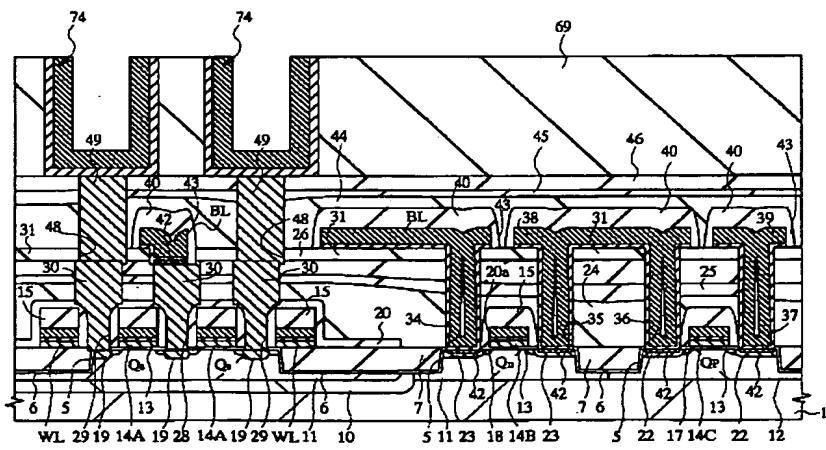
【図32】

図 32



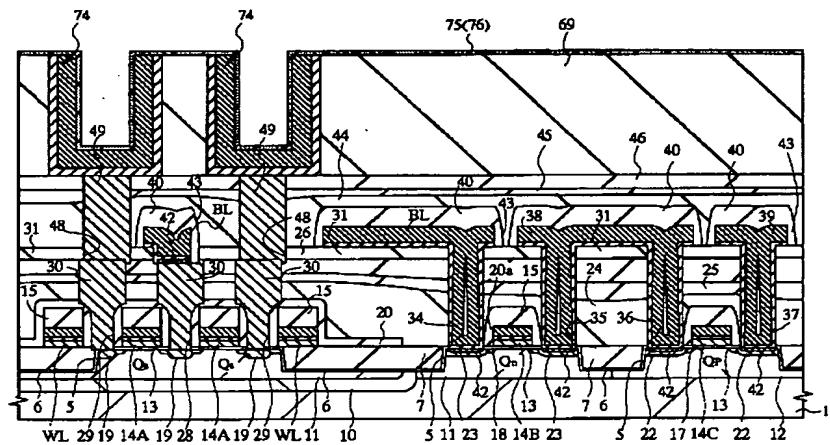
【図33】

図 33



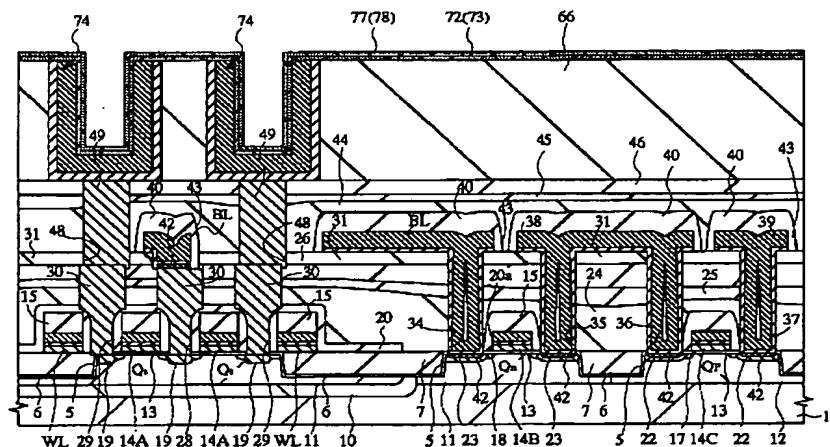
【图34】

图 34



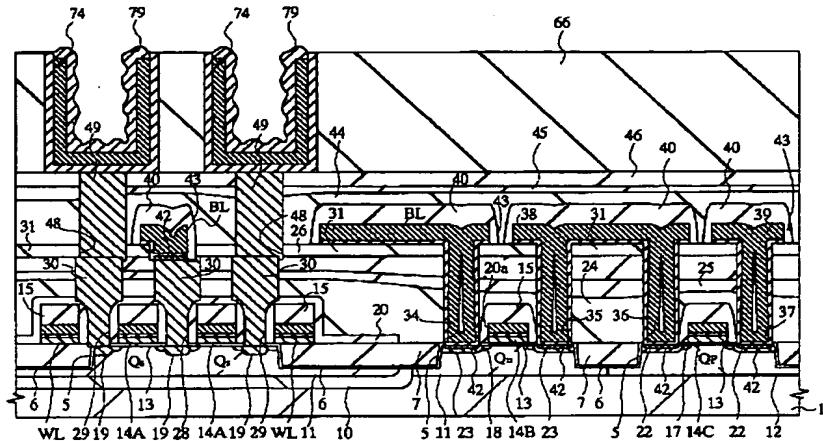
【図35】

图 35



[図36]

图 36

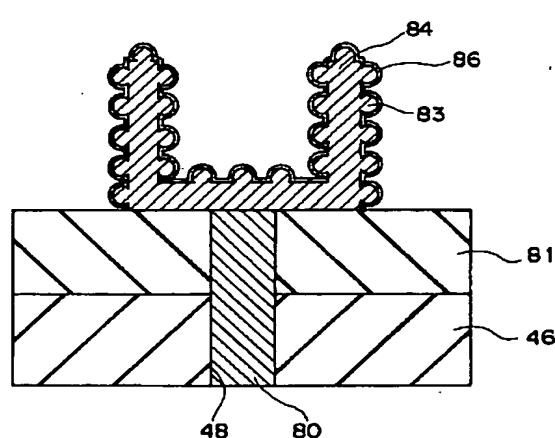
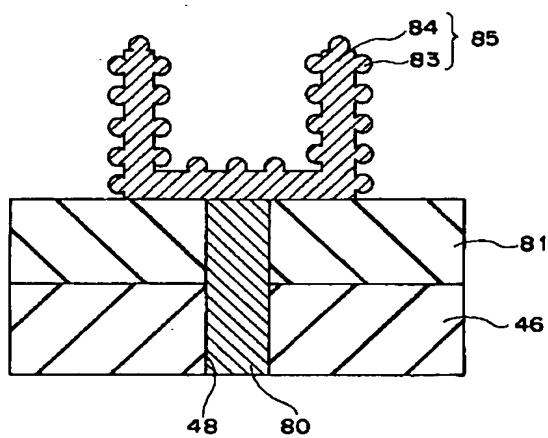


[図38]

図 38

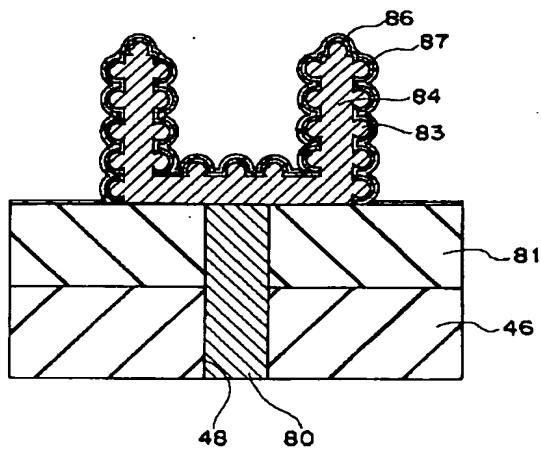
【図39】

图 39



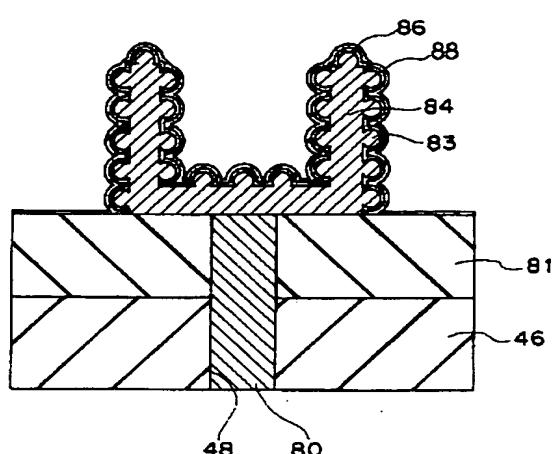
【図40】

図40



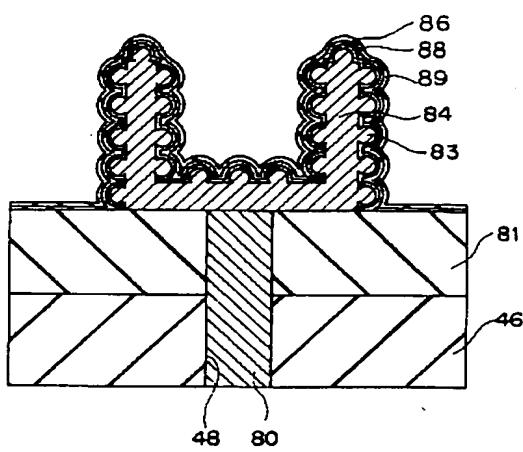
【図41】

図41



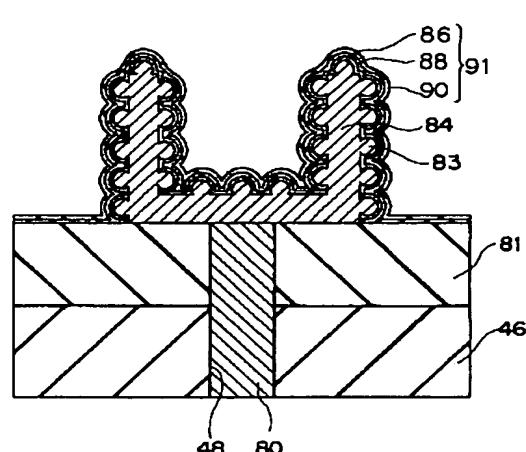
【図42】

図42



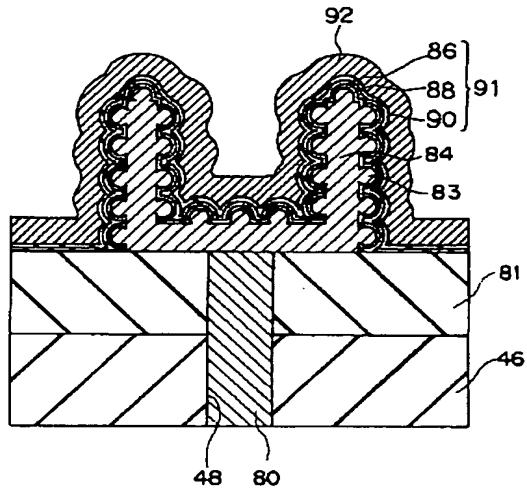
【図43】

図43



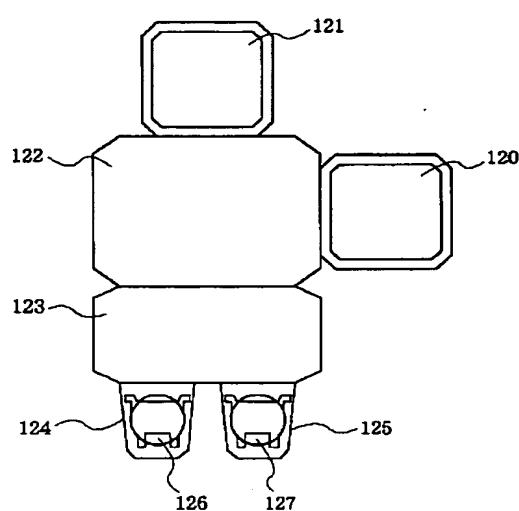
【図44】

図44



【図49】

図49



フロントページの続き

F ターム(参考) 5F083 AD21 AD24 AD42 AD48 GA06
JA06 JA40 JA43 KA05 LA12
MA06 MA17 PR03 PR05 PR21
PR36 PR40